

# ASIC・エレクトロニクス開発フロンティア

KEK素核研 岸下 徹一  
kisisita@post.kek.jp

# Contents

---

## 1.微細化プロセスの課題と挑戦

## 2.E-sysにおける”フロントエンドASIC”の開発状況

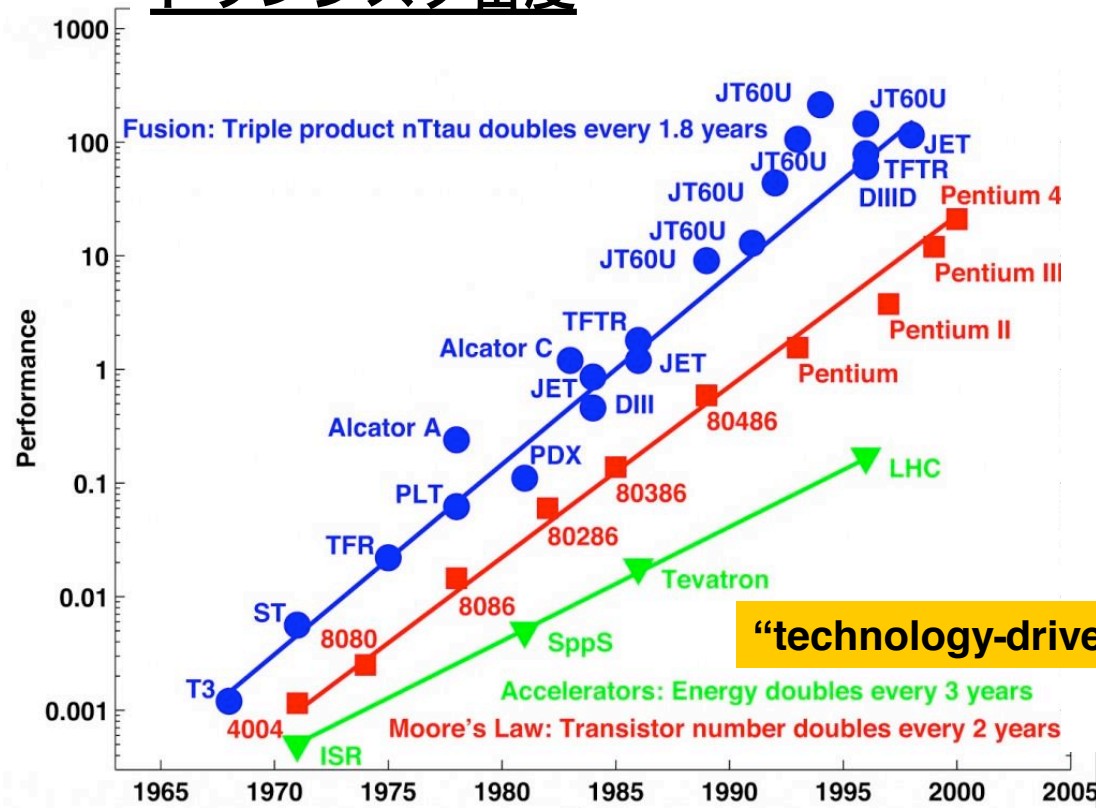
- ・ ストリップセンサーASIC
- ・ コールドASIC

# 1.微細化プロセスの課題と挑戦



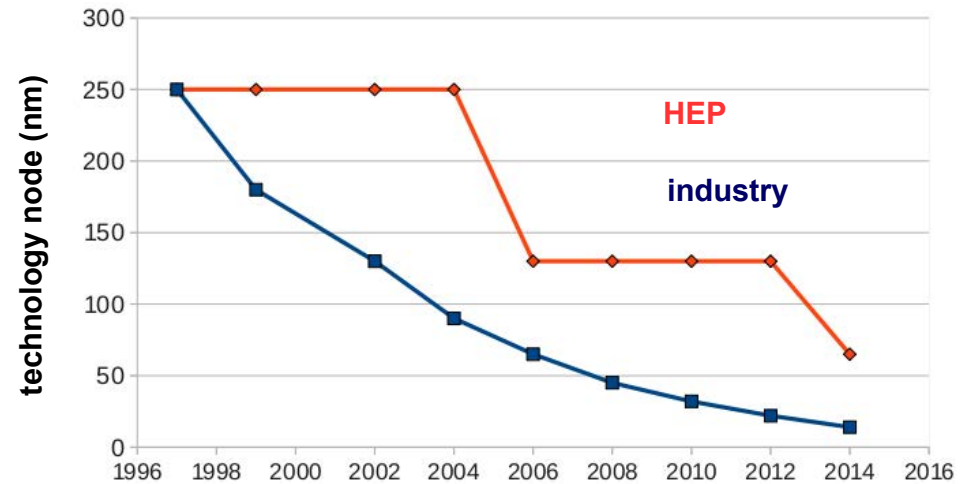
# トランジスタの微細化

## トランジスタ密度



## CMOSプロセスの変遷

Geronimo

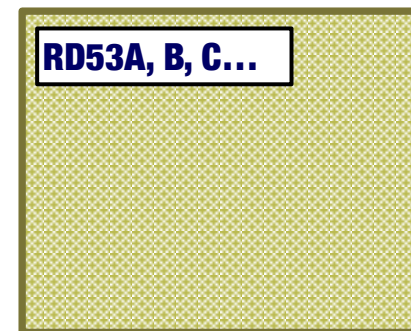


微細プロセス→高密度集積回路→小ピクセル・多チャンネルのハイブリッドピクセル(=先端プロセスを用いた開発)



# ピクセルの要求性能

@ATLAS Si-pixel



**250 nm technology**  
**pixel size  $400 \times 50 \mu\text{m}^2$**   
**3.5 mil. transistors**

**130 nm technology**  
**pixel size  $250 \times 50 \mu\text{m}^2$**   
**80 mil. transistors**

**65 nm technology**  
**pixel size  $50 \times 50 \mu\text{m}^2$**   
**~ 500 mil. transistors**

**実験の要求性能**

- ✓小ピクセル化(bump技術)
- ✓放射線耐性(ELT not arrowed)
- ✓低消費電力
- ✓高速信号処理(データバンド幅)
- ✓比較的大面積な検出領域

# 課題①: 消費電力

超微細プロセスなら電源電圧が下がるので消費電力が容易に減らせる、、、

1.8 V@180 nm

1.2 V@65 nm

0.9 V@22 nm

1.  $t_{ox} \sim 1.5-2 \text{ nm@65 nm}$

→ゲートリーク(tunneling)

350 pA@1x1  $\mu\text{m}^2$

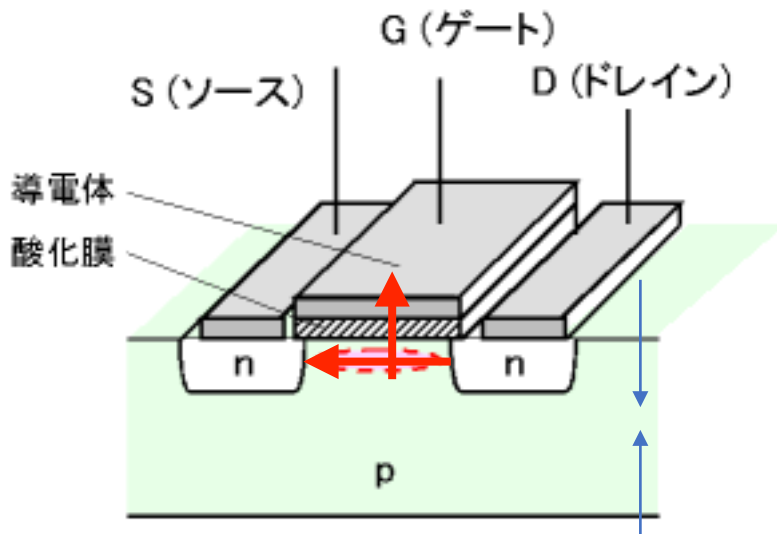
この値は130 nmの10倍

2. 短チャンネル+低閾値電圧

→オフリーク

100 pA@480x60  $\text{nm}^2$

消費電力に加算される

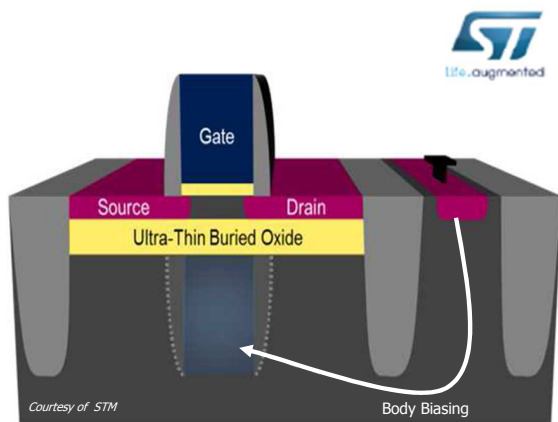


<http://yamaken.tokyo/2019/03/17/post-121/>

※ゲート長の微細化は閾値電圧のミスマッチなどにも影響を与える

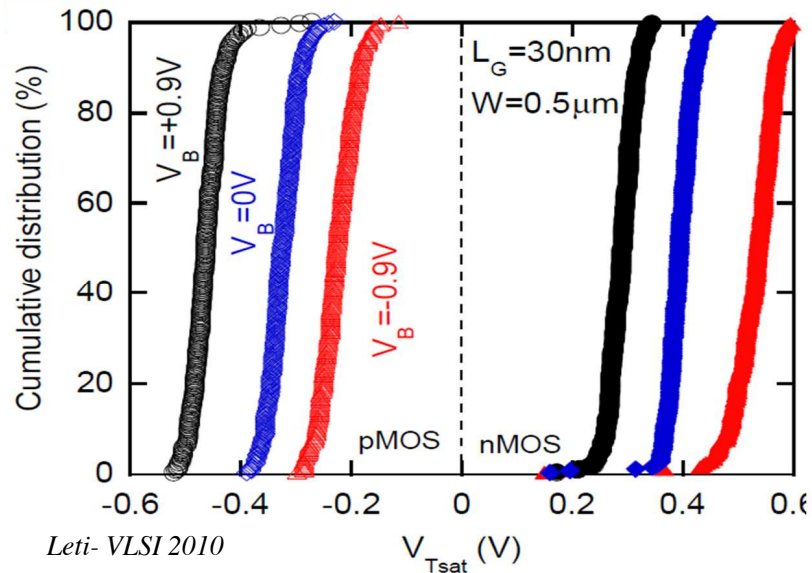
# プロセス的なアプローチ

Bich-Yen Nguyen



Knobs to control Perf/Power:

- Gate bias
- Back Bias



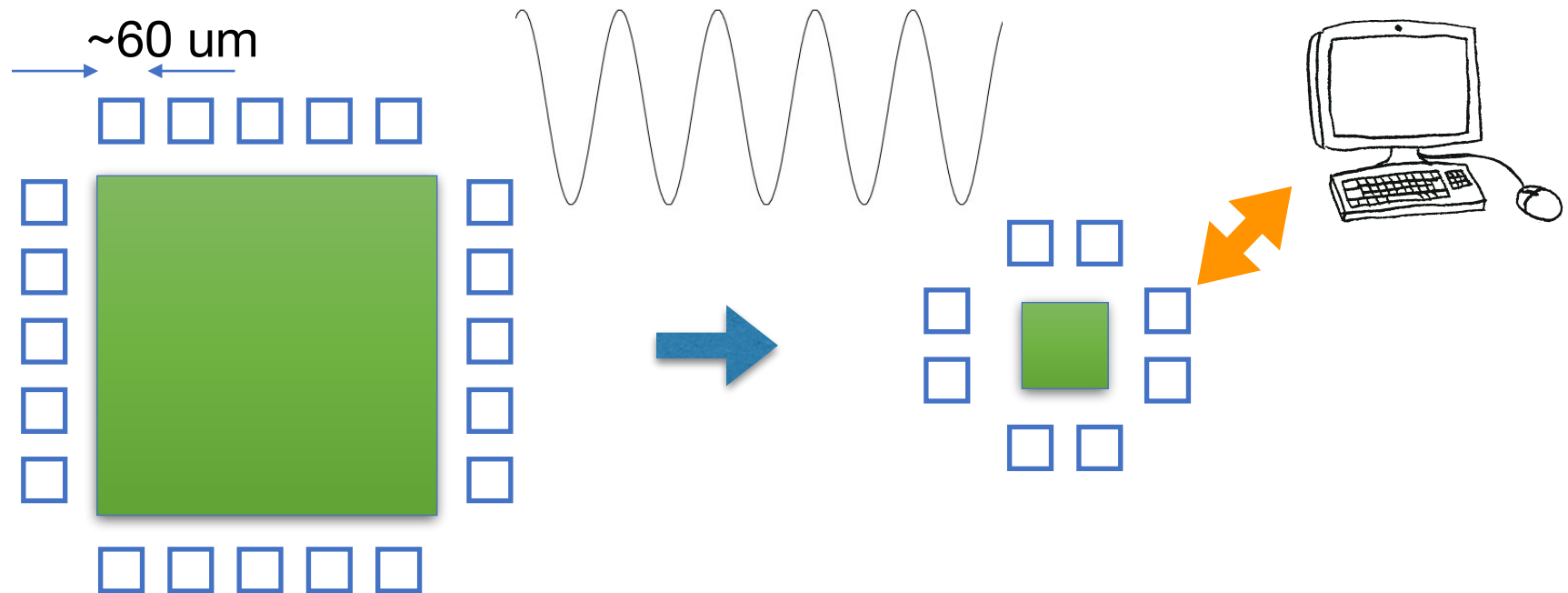
- › VT tuning with BOX = 10nm and VBB, GP
- › N and PMOS: VT modulation of  $\leq 200\text{mV}$  for 10nm BOX
- › No degradation of Ion-Ioff trade-off with back-bias up to  $\pm 2\text{V}$

- 閾値電圧をダイレクトに変えることでオフリークを減らせる
- 閾値電圧のミスマッチなどもバックゲートで調整でき、積極的にパフォーマンスの向上に使用できる
- high-kゲート材料によるゲートリークの低減
- ELTなどのゲート構造

複雑な設計とDRCルールとの格闘

# 課題②: データバンド幅

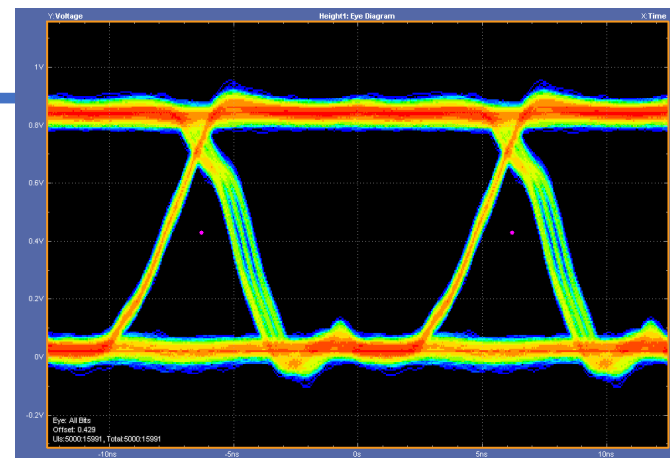
超微細プロセスならトランジスタが高速になるからデータ量を増やせる、、、



- ピクセルセンサーとの接合は bumps で良いが、基板との接続はワイヤーボンディングが必須
- チップサイズが小さくなっても、I/Oパッドのサイズは小さくならない
- 1対あたりのデータ速度も一気に何桁も良くなったりはしない

# 回路的なアプローチ

80 MHzの両方向PRBSのEyeダイアグラム



JINST 16 T06002

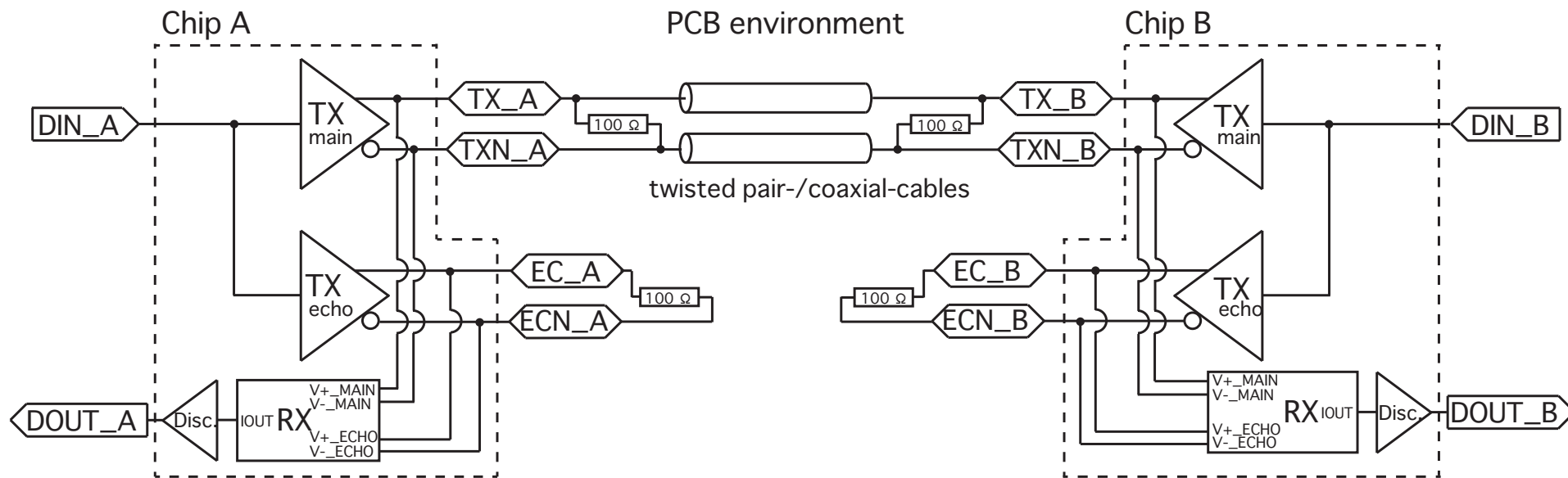


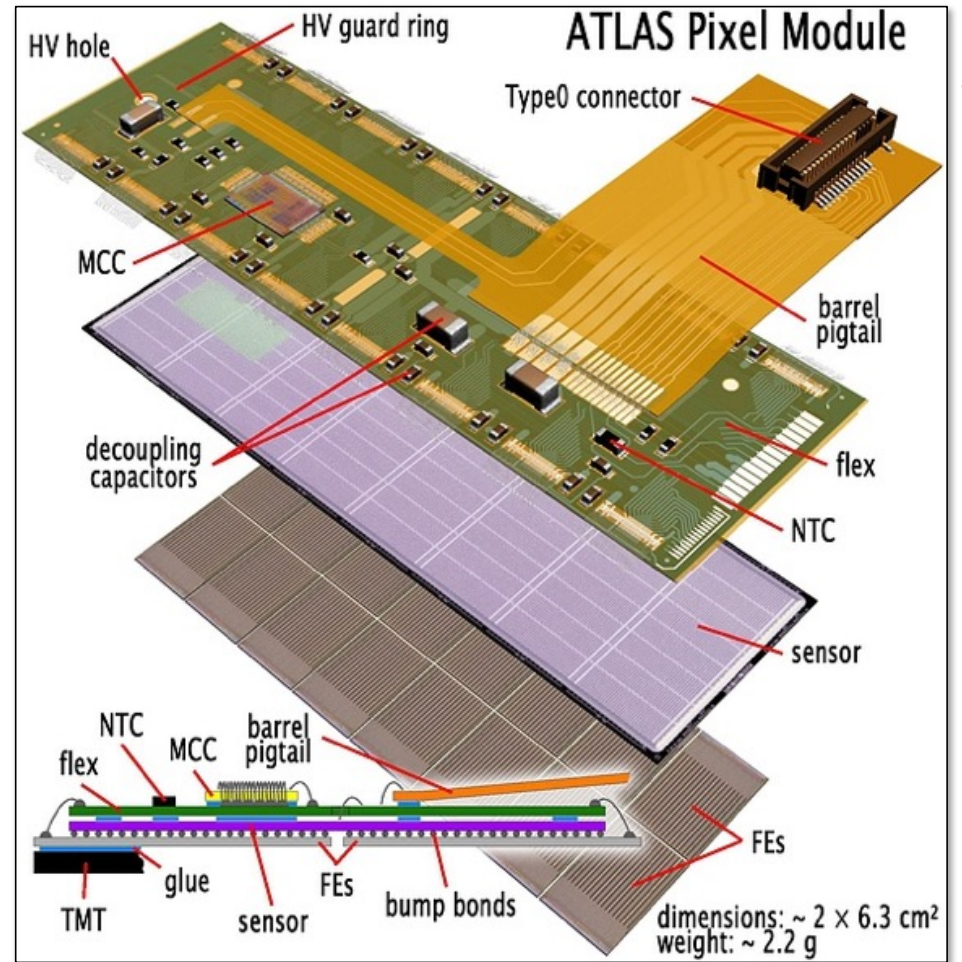
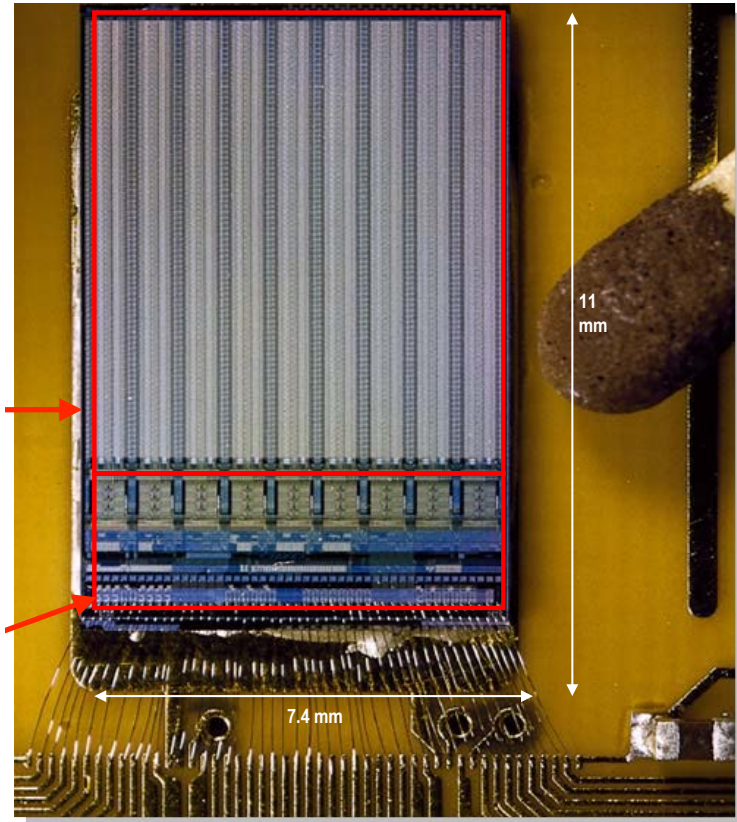
Figure 1. Block diagram of a two-chip system for simultaneous bidirectional signaling.



# 課題③: 検出面積

Wermes

ATLAS FE-I3 (0.25  $\mu\text{m}$  CMOSプロセス,  
50x400 $\mu\text{m}^2$ , 2880 pixels)



- 大きなチップは歩留まりが下がるので小さなチップを多数センサーと接続する以外ない

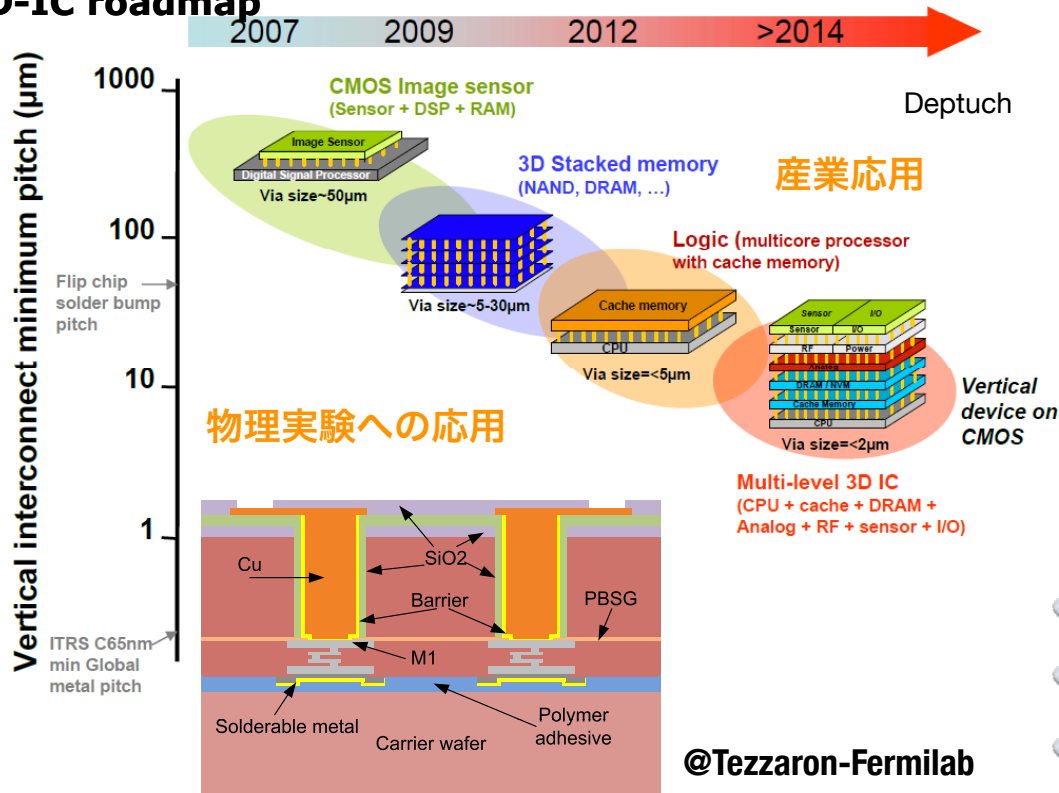
# 実装技術的なアプローチ

超小型高密度化、高速大容量化、低消費電力化の要請から3次元ICチップ積層技術が発展

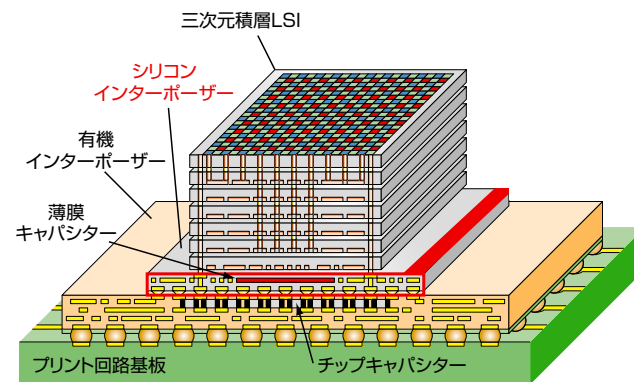
メモリで実用化 → コスト、歩留まり

Aoyagi

## 3D-IC roadmap



## インターポーザによる2.5D実装例



## ピッチアダプタや配線引き出し

- TSVによるICチップ積層
- 内蔵部品 etc.

以上のようにピクセル開発は、最先端プロセスを軸に回路や実装方法など様々なアプローチから性能向上に向けて研究が進められている

# 余談ですが、、、

Foundry →	ams	EMM	GlobalFoundries	IHP	On Semiconductor	STMicroelectronics	TSMC	UMC	X-FAB
0.7 μm					✓				
0.5 μm					✓				
0.35 μm	✓				✓				✓
0.25 μm				✓					
0.18 μm		✓			✓		✓	✓	✓
0.16 μm						✓			
0.13 μm			✓	✓	✓	✓	✓	✓	✓
0.11 μm								✓	
90 nm							✓		
65 nm						✓	✓	✓	
55 nm			✓			✓			
45 nm			✓						
40 nm			✓				✓	✓	
28 nm			✓			✓	✓	✓	
22 nm			✓				✓		
16 nm							✓		
12 nm			✓						

アカデミックは12 nmまで利用可能なので興味のある方は是非

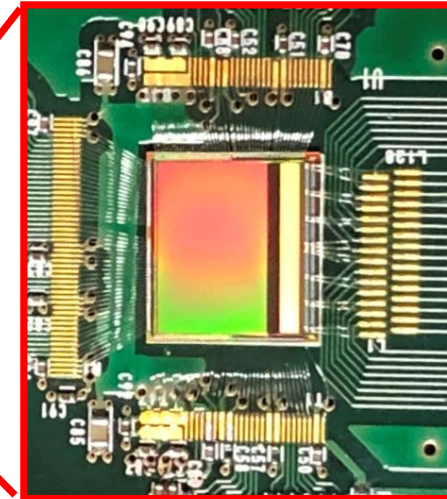
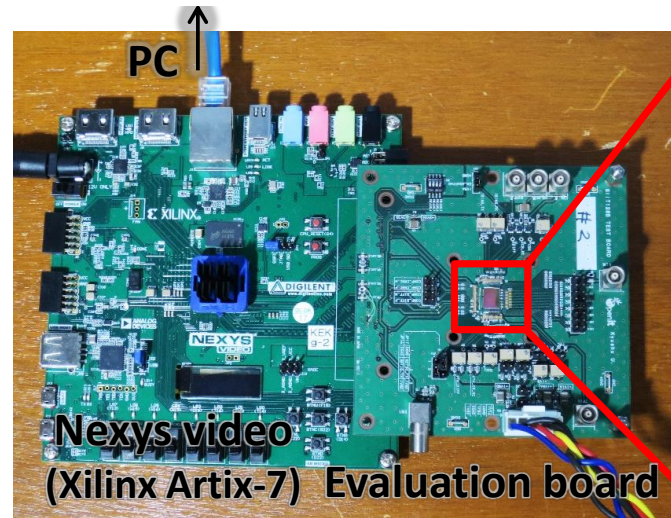
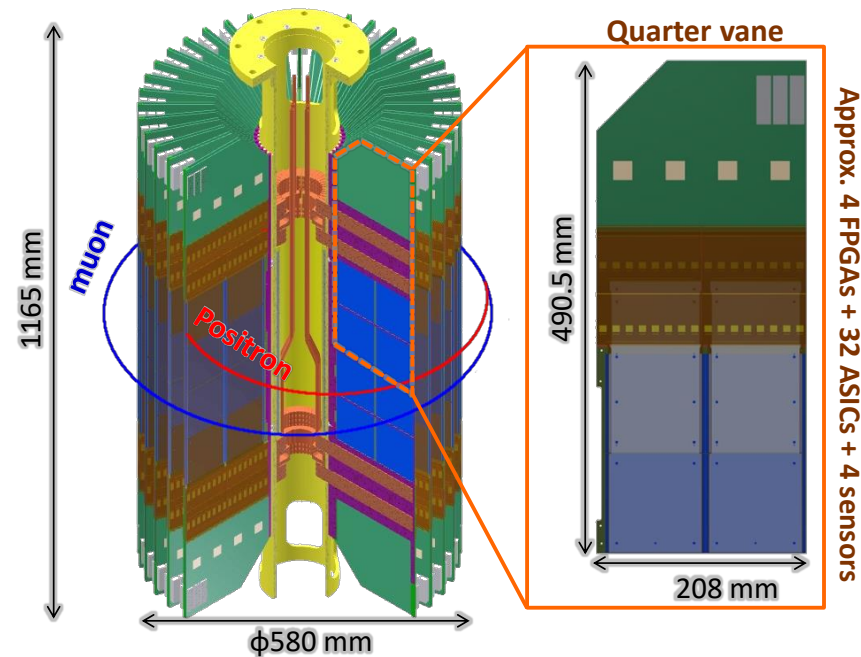


## 2.E-sysにおける”フロントエンドASIC”の開発状況

- ・ ストリップセンサーASIC
- ・ コールドASIC

# ストリップセンサーASIC: g-2/EDM

g-2/EDM実験用に2012年から開発がスタート(2016年から開発に参加)



SUMMARY OF THE SLIT128C PERFORMANCE

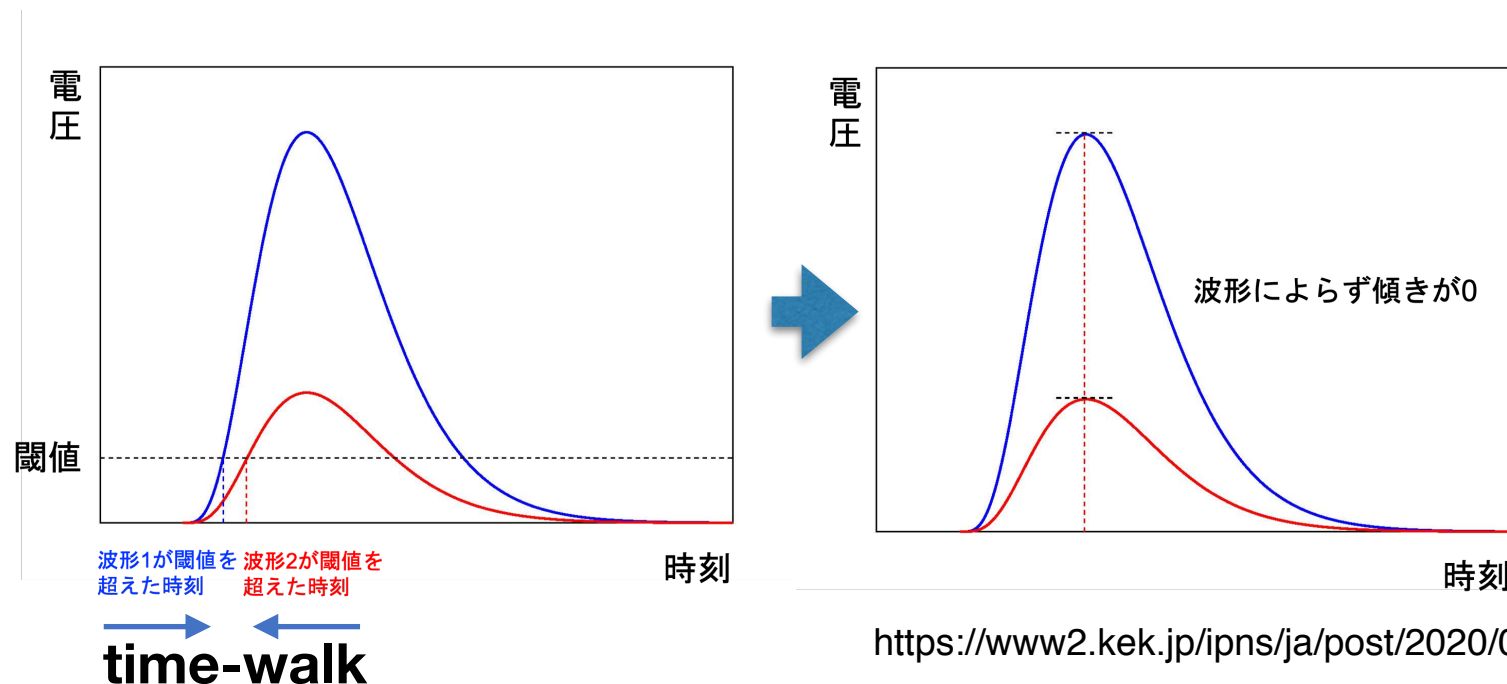
IEEE TNS 67, p.2089, 2020

	Requirement	Simulation	Measurement
Peaking time	< 75 ns	35.1 ns	64.2 ns <sup>a</sup>
Pulse width at 1 MIP	< 100 ns	75.0 ns	74.5 ns
Dynamic range	> 4 MIP	8 MIP	> 7.8 MIP
ENC	< 1,600 $e^-$ @ $C_{det} = 30$ pF	1210 $e^-$ @ $C_{det} = 30$ pF	1547 ± 75 $e^-$ @ $C_{det} = 33$ pF
Time walk (0.5-3.0 MIP)	< 1 ns	0.4 ns	0.38 ± 0.16 ns
Jitter at 0.5 MIP	< 5 ns	4.89 ns	4.8 ± 0.2 ns
Power consumption	0.64 W/chip	N.A.	0.30 W/chip

<sup>a</sup> Outputs measured from the monitor which include delays due to the parasitic capacitance and finite buffer drive strength.

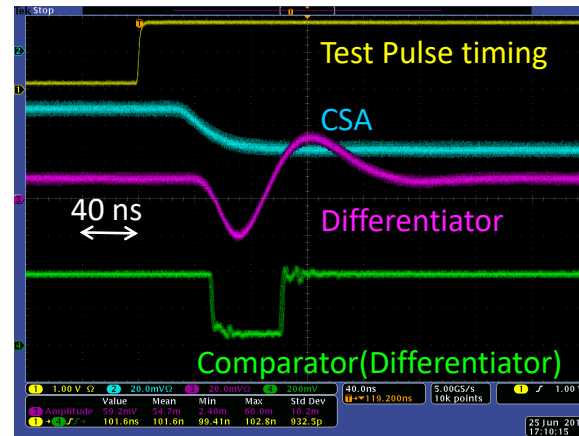
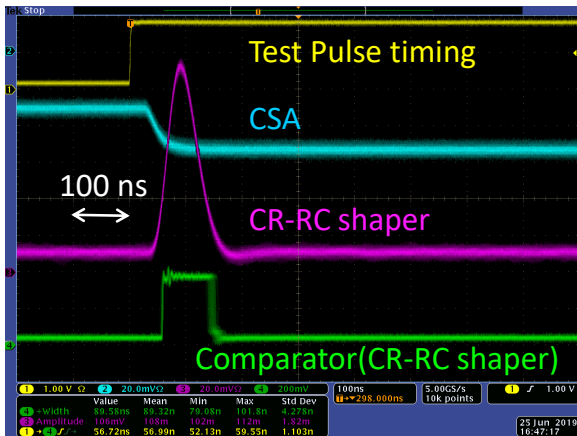
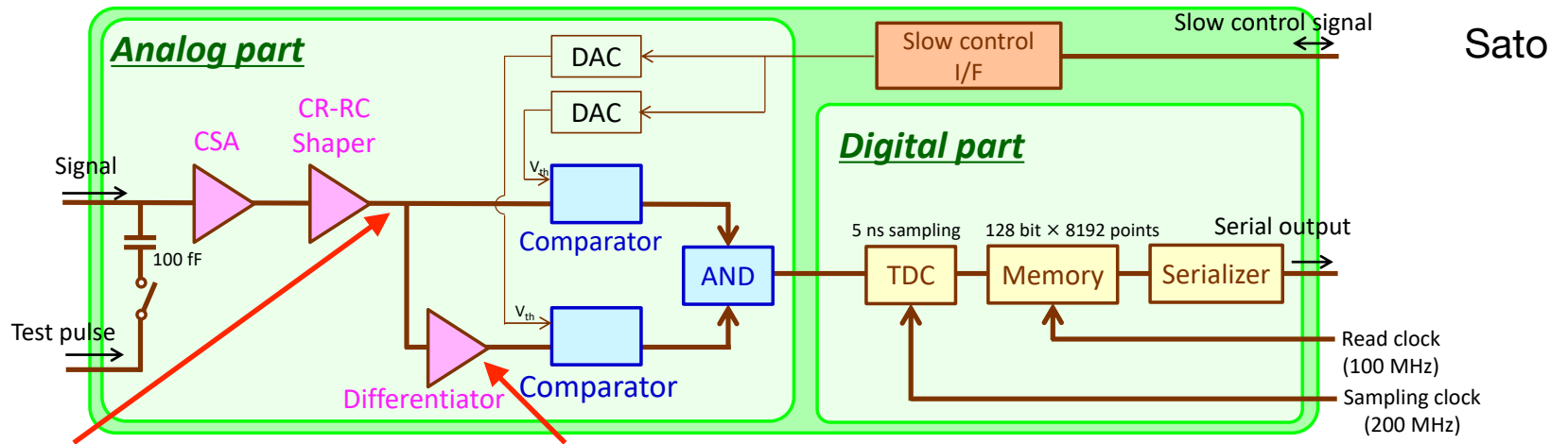
# time-walk改善へのアプローチ

実験の要求性能：1 ns以下のtime-walkを全チャンネルで実現したい



通常のCR-RC整形回路では、time-walkはせいぜい10 ns  
→波高値のピークで立ち上がりを生成したらどうか？

# サブナノ秒time-walkの実現



両者のANDを取ることで  
0.38±0.16 nsのtime-walkを  
達成！

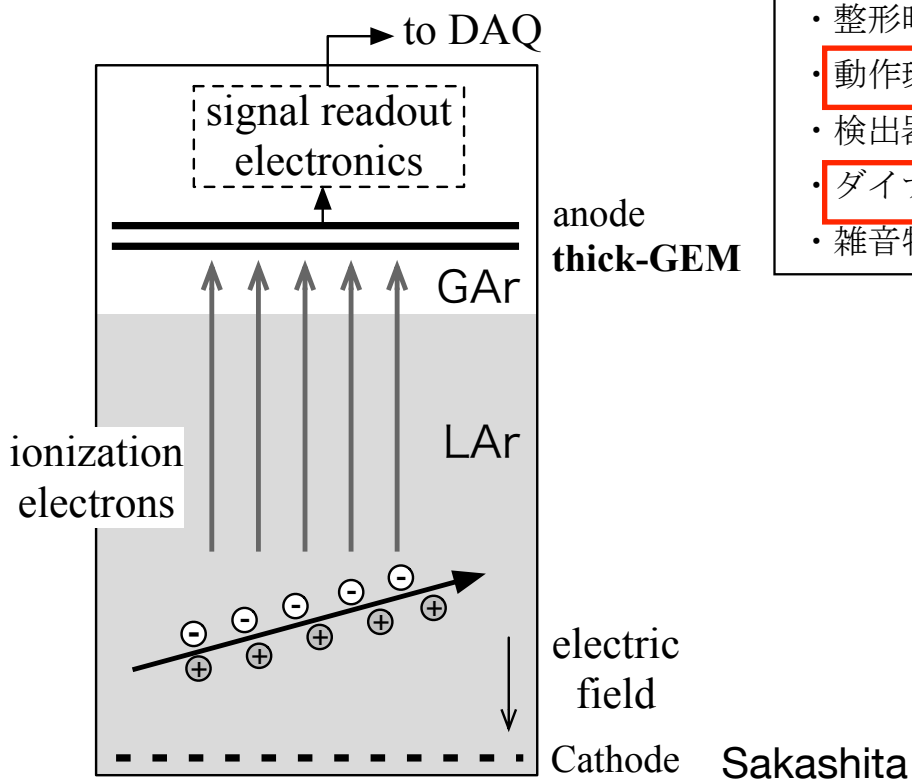
実験の要求性能を全て満たすことが確認でき、2020年末に  
無事エンジニアリングランで約7000チップを製作

# コールドASIC

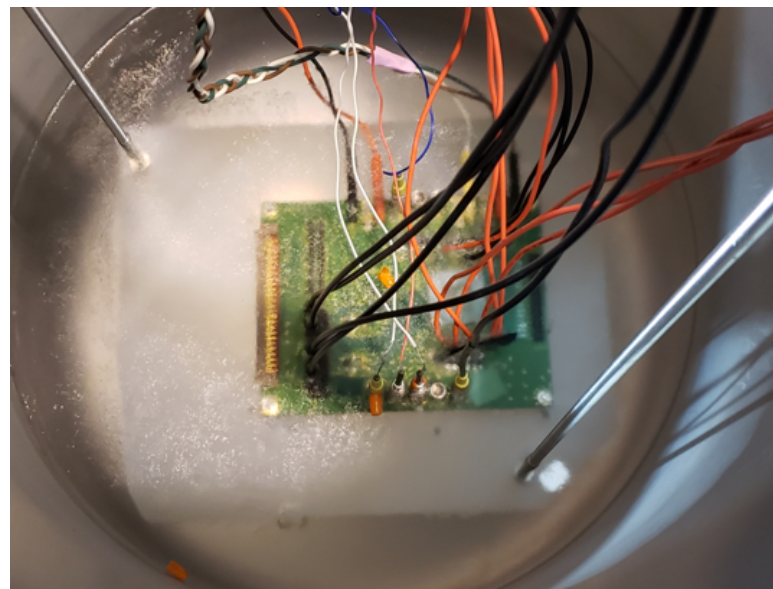
ニュートリノ原子核反応で生じる2次粒子を液体アルゴンTPCで捉える

(2016年から開発に参加)

- 最小信号量:  $-10$  fC (1 MIP)
- 整形時定数:  $1\sim 3$   $\mu$ s 程度
- 動作環境: 87 K
- 検出器容量:  $\sim 300$  pF
- ダイナミックレンジ:  $-80$  fC 以下と  $-1600$  fC 以下という 2 種類の入力範囲
- 雑音特性:  $< 3000$   $e^-$  (小信号事象に対して),  $< 6.4 \times 10^4$   $e^-$  (大信号事象に対して)

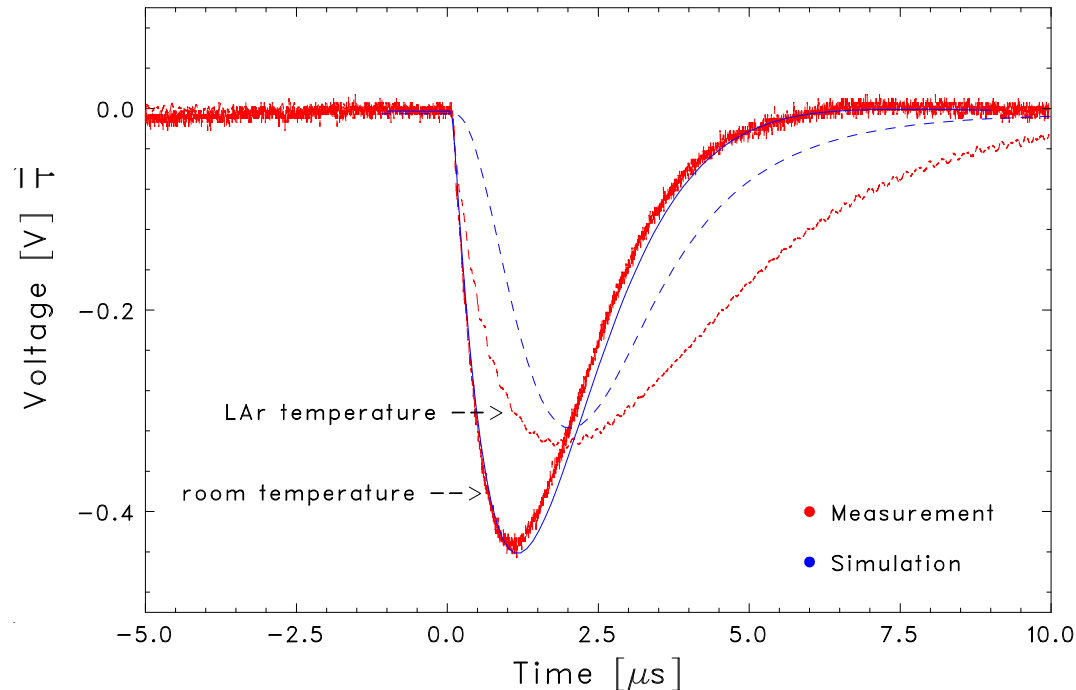


気液2相式液体アルゴンTPC



# 液体アルゴン温度で何が起こるか

## 過去のASICのアナログ波形



JINST 15 T09009

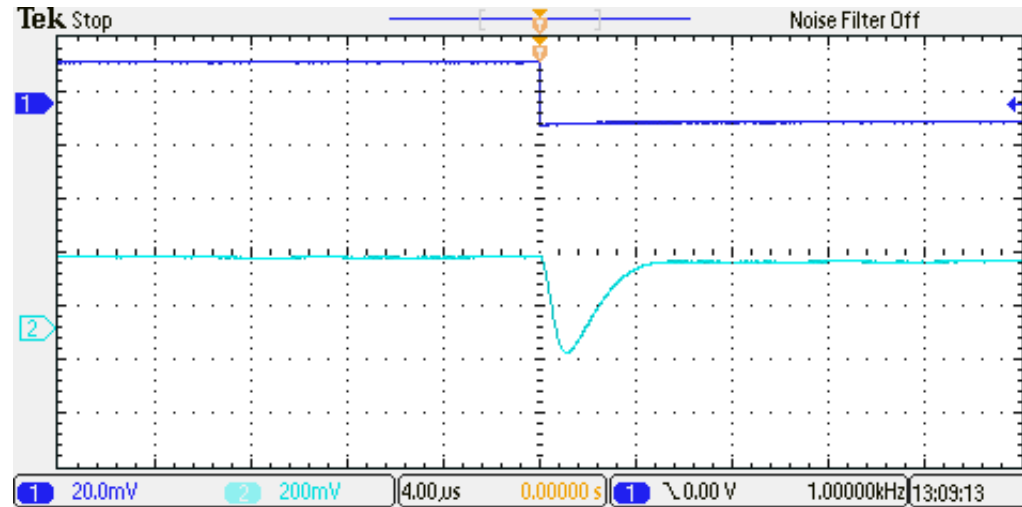
- ディスクリートのバッファICが発振
- ASIC内部でゲインの低下とピーキングタイムの変動

トランジスタの閾値電圧の温度依存性(~1 mV/K)で動作点が室温と大きく異なる！

**低温での振る舞いをシミュレーションする手法を考案**

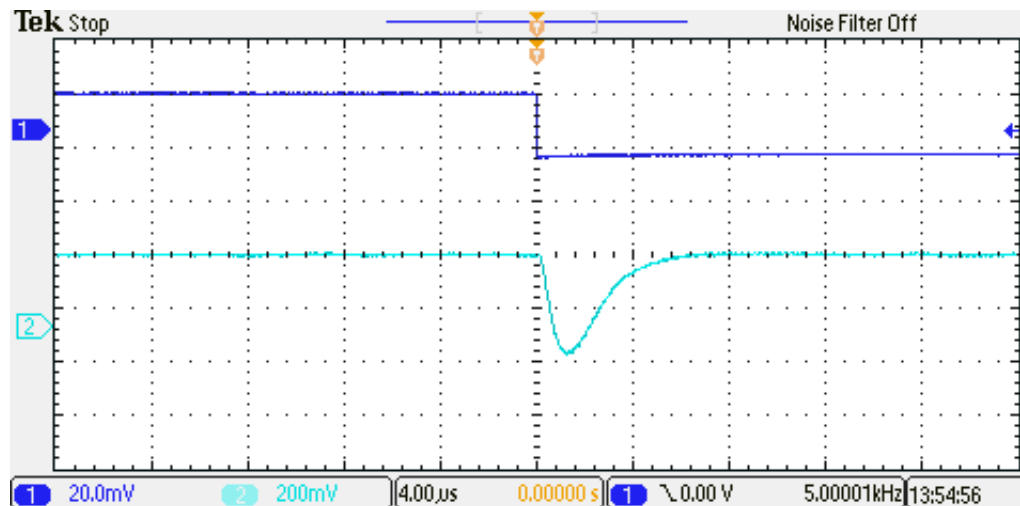
# 低温での動作実証

室温



Kosaka

低温 (液体窒素温度)



同スケール

応用例: 超電導マグネットの真空チェンバー内での使用



# まとめ

---

- ピクセル開発は、超微細プロセスを駆使したエキサイティングな研究分野であり、プロセス/回路/実装とあらゆるアプローチでさらなる性能向上に向けて研究が進められている
- E-sysでもここ数年で多チャンネル化、低温動作、ワイドダイナミックレンジといった多彩な実験要求を満たせる回路技術が確立した

そのほかにもE-sysでは、以下のような研究を進めている

- 高放射線ASICの開発
- 高性能なADCを搭載したASICの開発
- ダイヤモンドやシリコンカーバイドといったセンサーの開発
- ハイブリッド型のピクセルASICの開発
- モノリシック型ピクセル検出器の開発

**ご興味があれば是非一緒にやりましょう！**