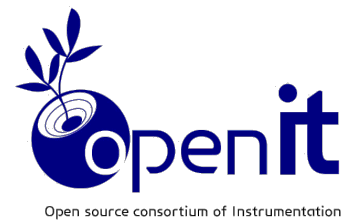




東京大学
THE UNIVERSITY OF TOKYO



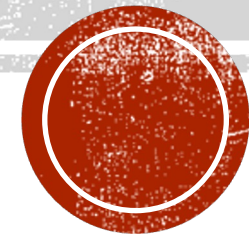
Belle II 実験シリコンストリップ検出器 のアップグレードに向けた新しい読み 出しASICとDSSDセンサーの性能評価

王子涵

東京大学

Flavor Physics Workshop 2022

2022.11.07



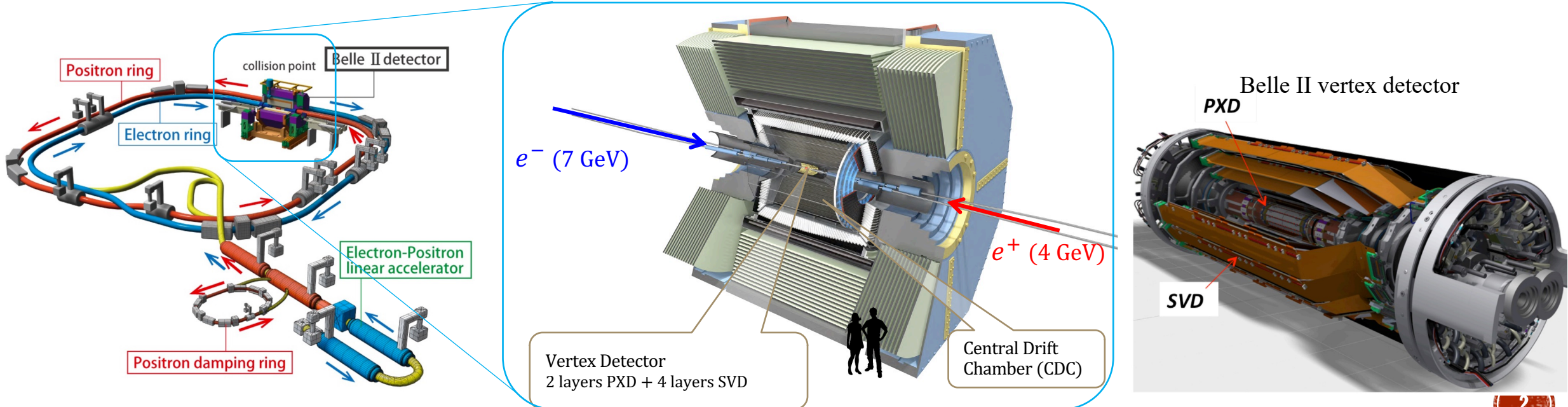
This work is supported by JSPS KAKENHI
Grant Number: JP19H01912

Introduction

- SuperKEKB
 - e^+e^- collider
 - 目標luminosity: $6 \times 10^{35} \text{ cm}^{-2} \text{ s}^{-1}$
 - 2022年の運転で $0.47 \times 10^{35} \text{ cm}^{-2} \text{ s}^{-1}$ を達成
- Belle II 実験での崩壊点位置検出器 (VXD)
 - 内側 2 層: ピクセル検出器 (PXD)
 - 外側 4 層: ストリップ検出器 (SVD)

Thin Fine-pitch SVD (TFP-SVD) project

- SVDをアップグレード
 - 低物質質量による運動量分解能の向上（特に低運動量粒子）
- ドリフトチャンバー（CDC）の内層を入れ替える
 - レート耐性を改善する



プロトタイプ薄型DSSDセンサー

- Double-sided Silicon Strip Detector (DSSD)

 - Micron Semiconductor (UK) 製

- 目標センサーサイズ: 96 mm × 109 mm

 - 想定する検出器容量 $C_{det} \approx 14 \sim 16$ pF

- 薄いセンサー厚、狭いストリップピッチ

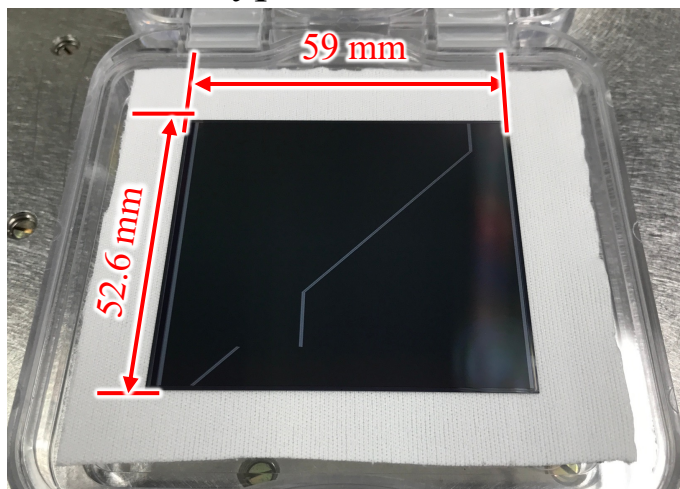
 - 低物質質量

 - より良い空間分解能

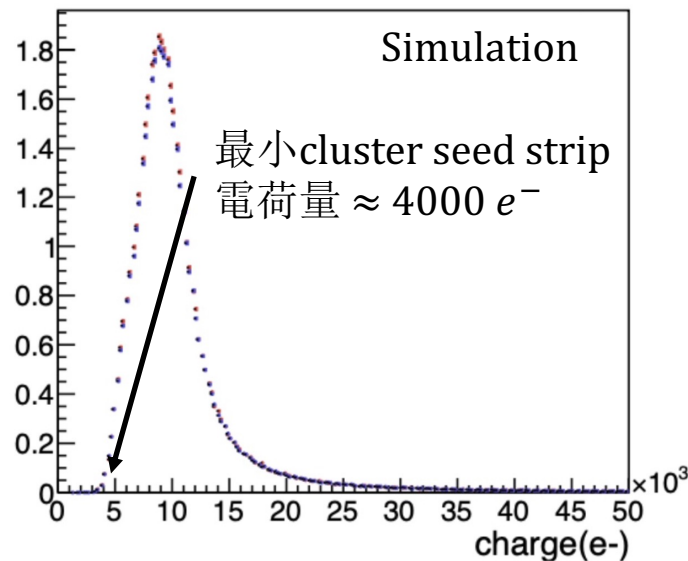
- 信号電荷量が小さいため、低ノイズの読み出しASICが必要

	厚さ	Readout strip pitch (P/N side)
現行 DSSD (Large Rectangular)	320 μm	75/240 μm
TFP-DSSD (想定値)	140 μm	75/85 μm

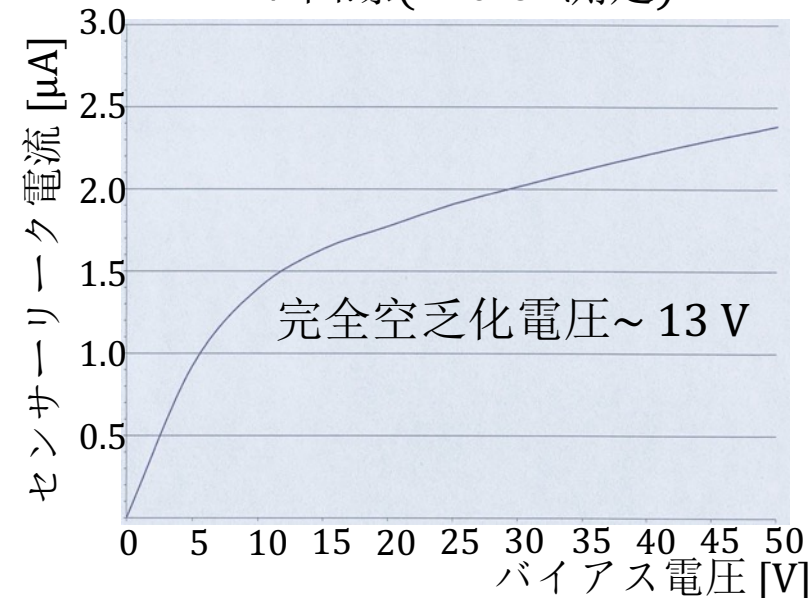
Prototype DSSD sensor



cluster SeedCharge (L5, sensor3, V side)

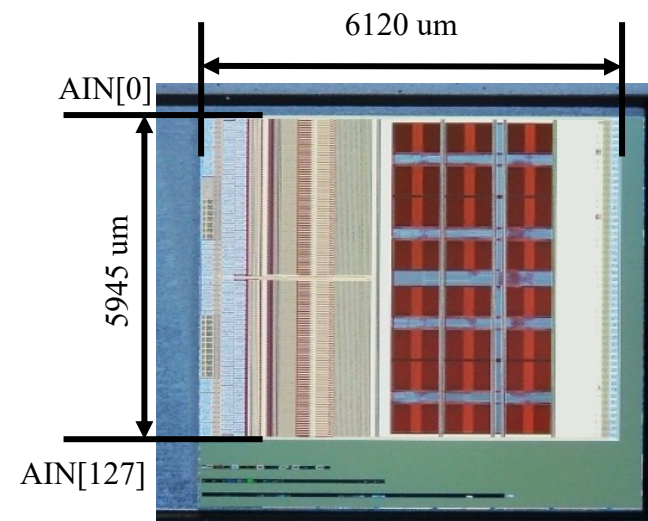
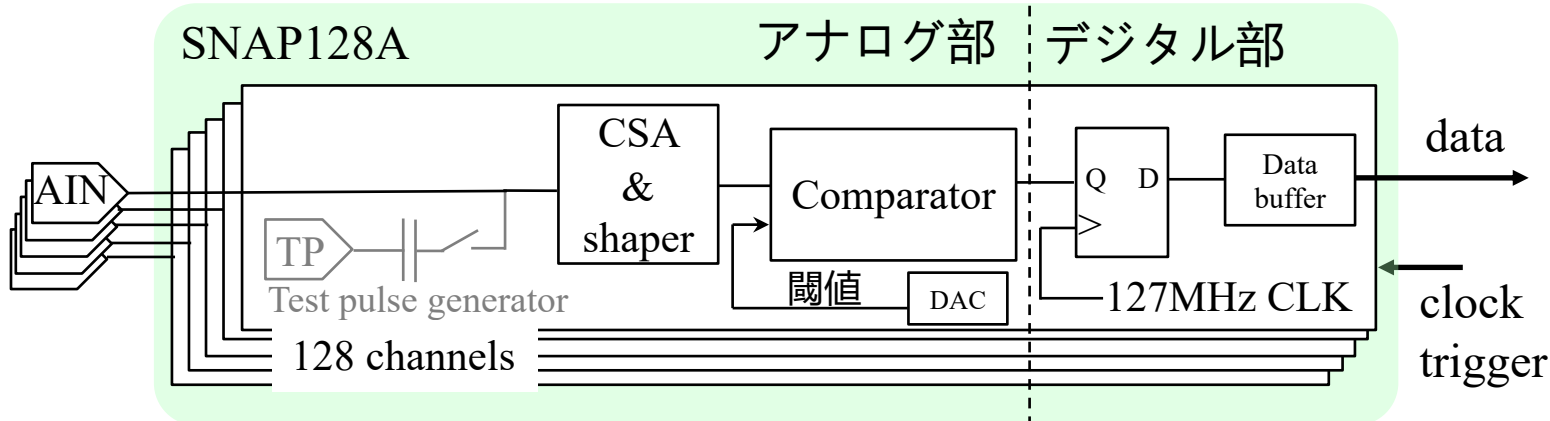
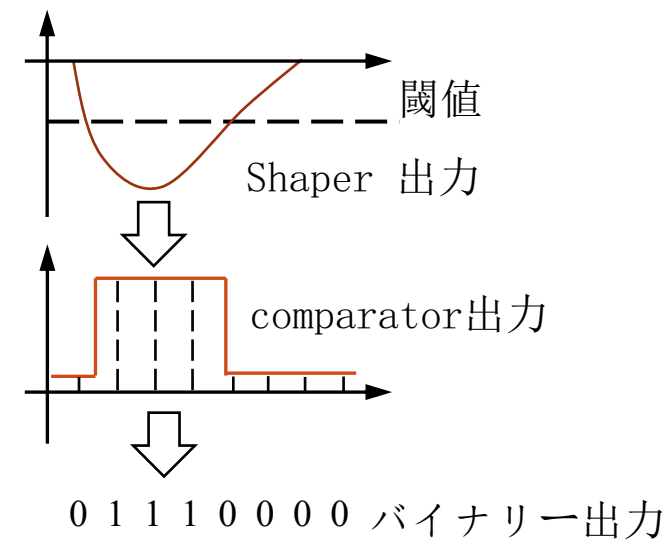
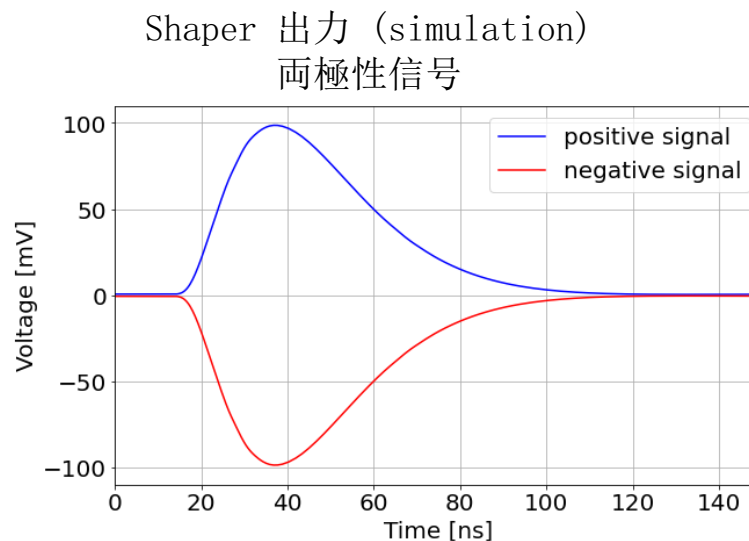


I-V 曲線(Micron測定)



プロトタイプ読み出しASIC: SNAP128A

- KEK E-sys groupが設計
 - シルテラ180 nm CMOS technology
- 128ch アナログ入力
- DSSDのため両極性の信号を読み出す
- 127MHzサンプリングのバイナリーヒット情報出力
- 消費電力: 330 mW/chip



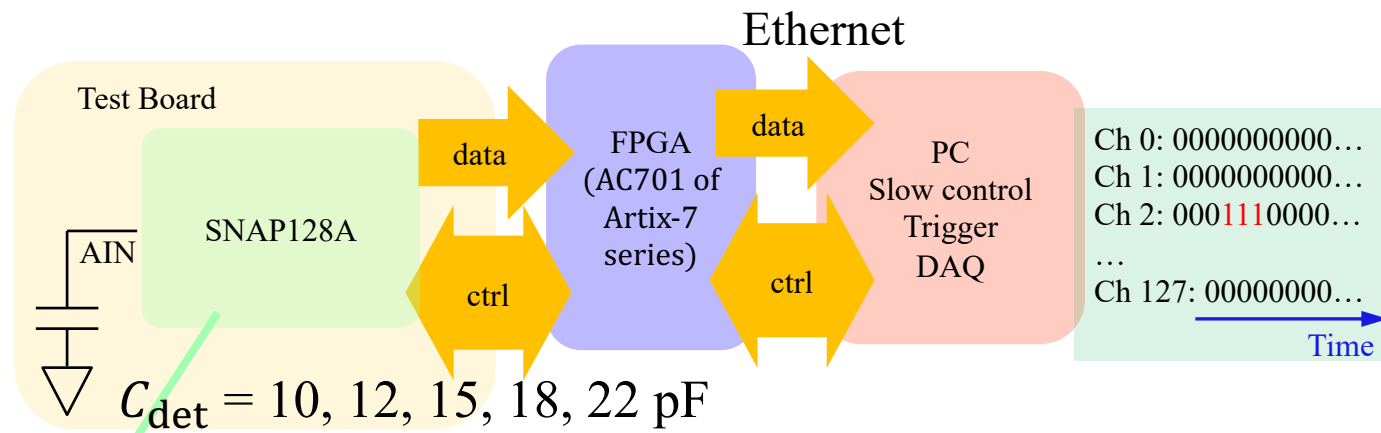
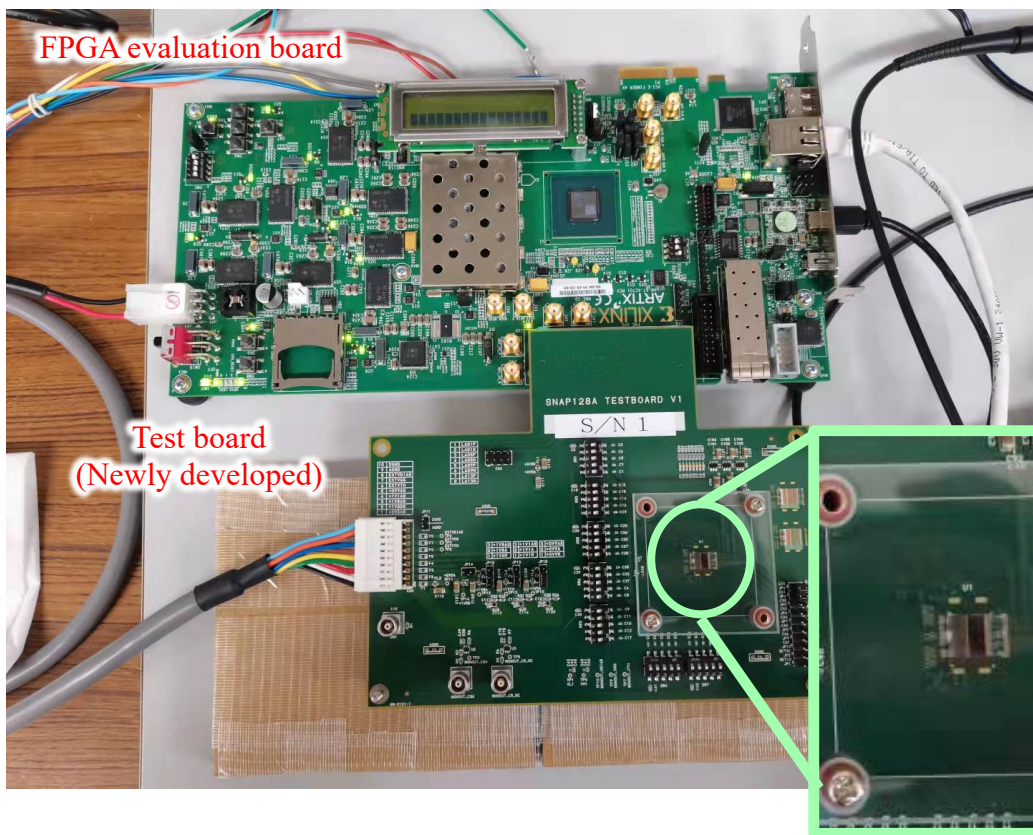
Prototype front-end ASIC
(SNAP128A)

SNAP128A性能評価: 要求性能

1. shaper 出力のパルス幅 **< 100 ns**
 - 10 MHz/cm²のhit-rate (SVD最内層) で信号pile-up rateを5%以下に抑える
2. **Noise < 800 e⁻**
 - 閾値 > 5 × noise のカットをかけられるように
 - 最小cluster seed strip電荷量 = 4000 e⁻
3. 正負両極の信号に対して上記の性質を検証

SNAP128A 性能評価システム

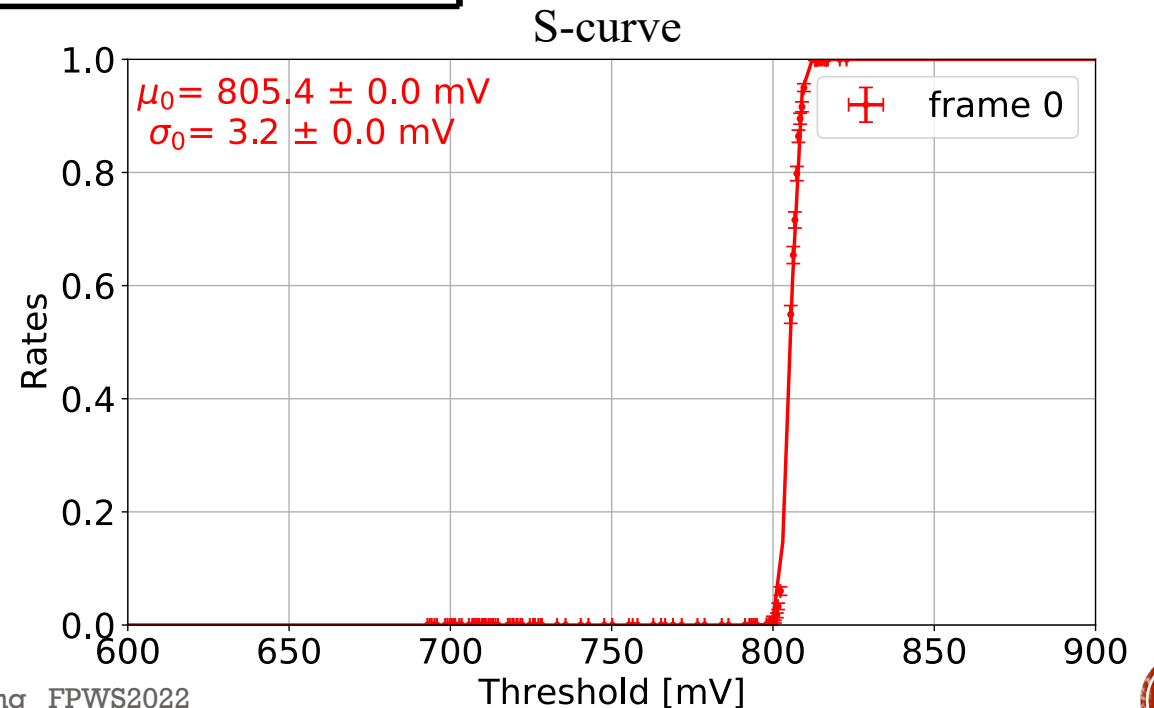
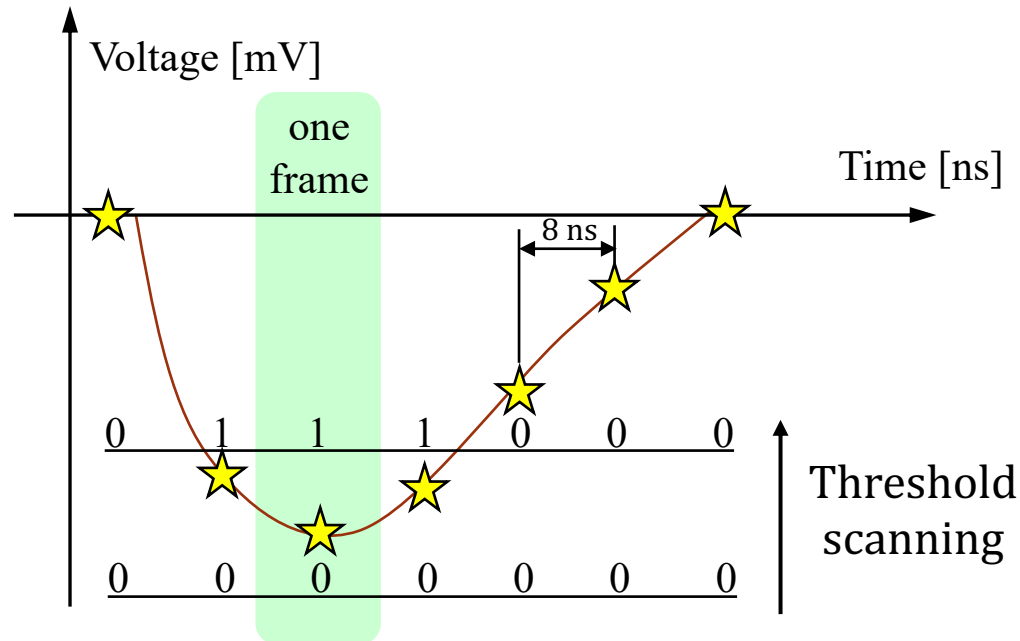
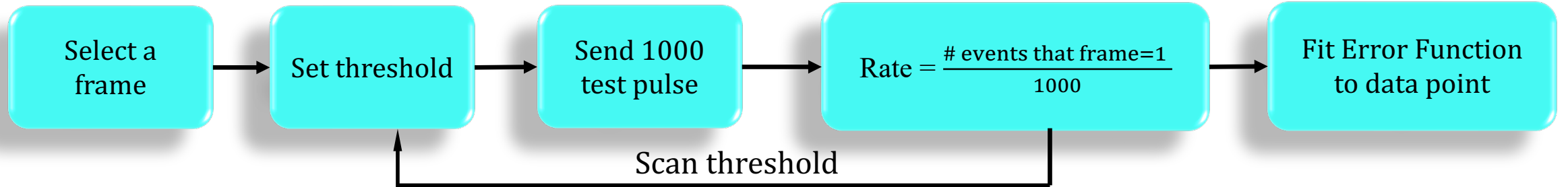
- 性能評価用システムを開発した



- バイナリー情報から波形を再構成する
 - パルス幅、ノイズの測定に必要
- 異なる検出器容量での性能を評価する

バイナリー情報での波形再構成(1)

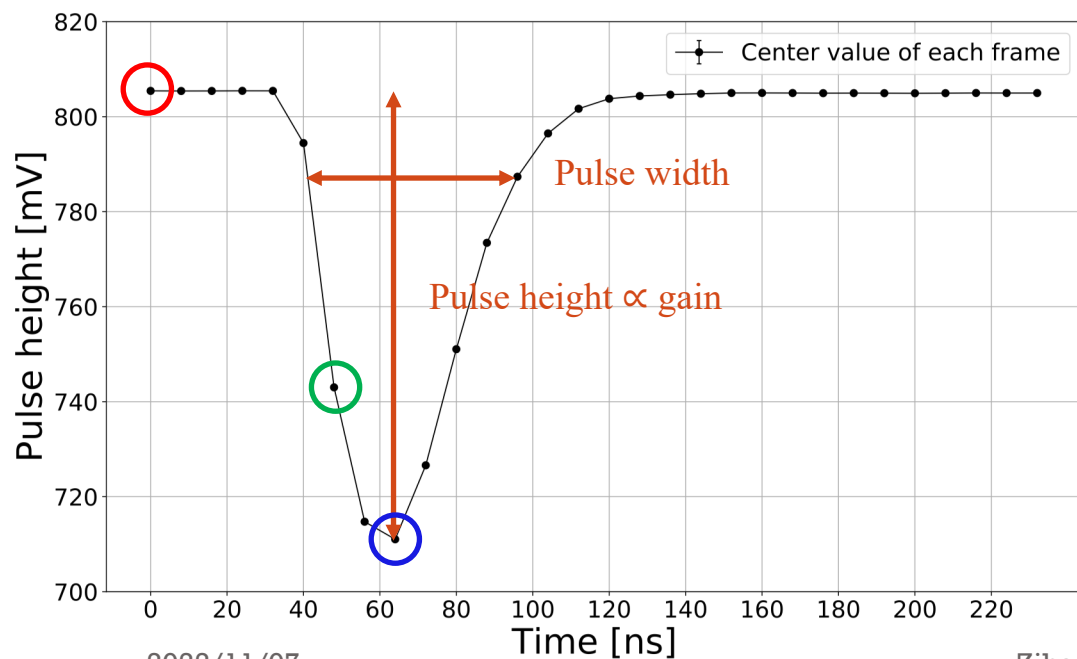
- 各フレームでの波高を測定し、波形を再構成する
- S-曲線手法で電圧の平均値と標準偏差を測定する



バイナリー情報での波形再構成(2)

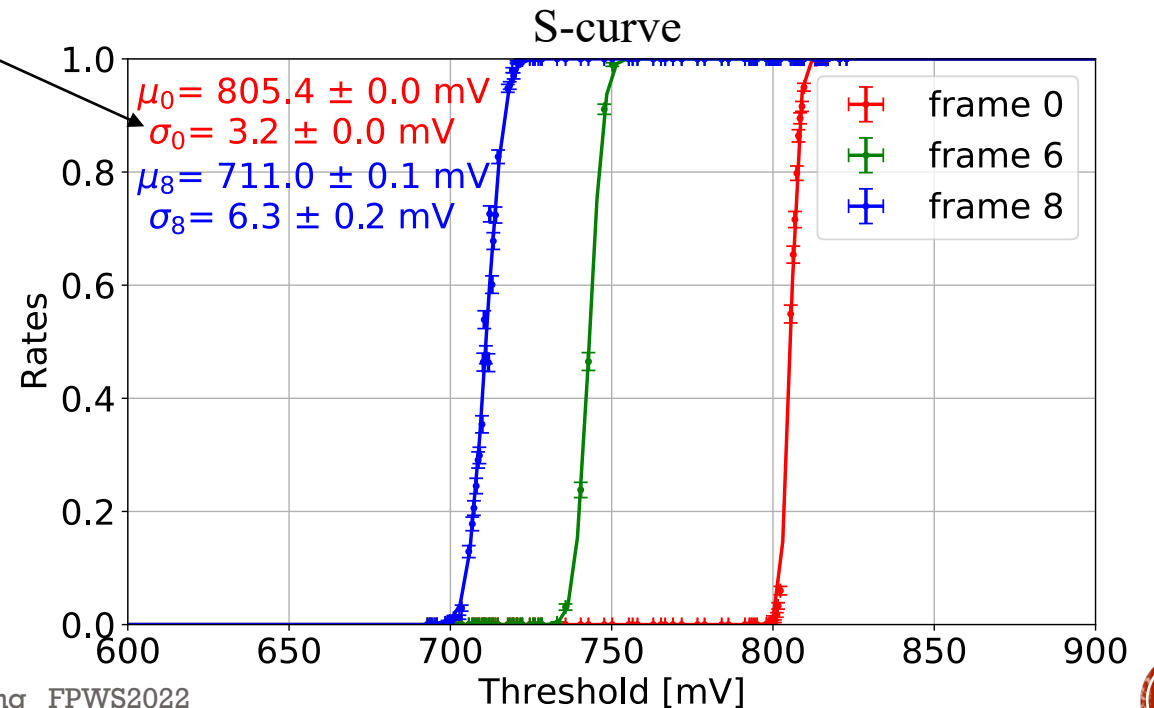
測定項目

- パルス幅 = $\frac{1}{4}$ 波高での時間幅
- Gain = 波高 / 入力電荷量
- Noise [e^-] = $\frac{\sigma_0}{\text{Gain}}$



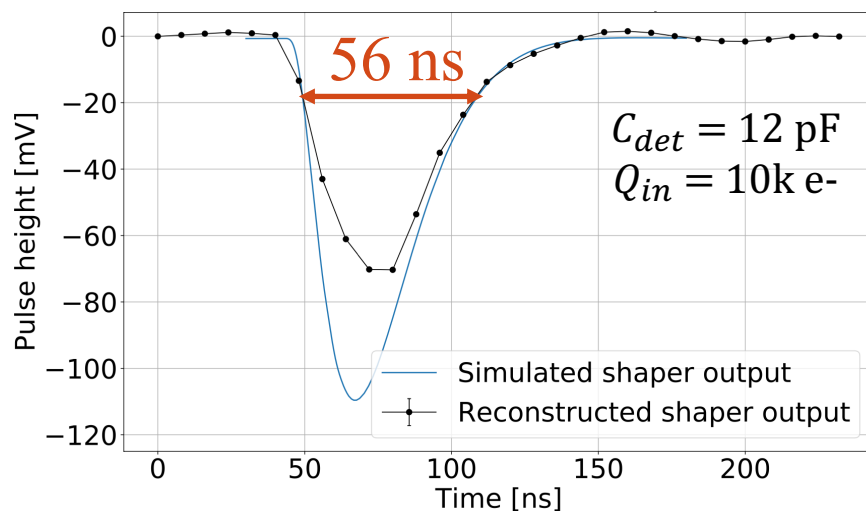
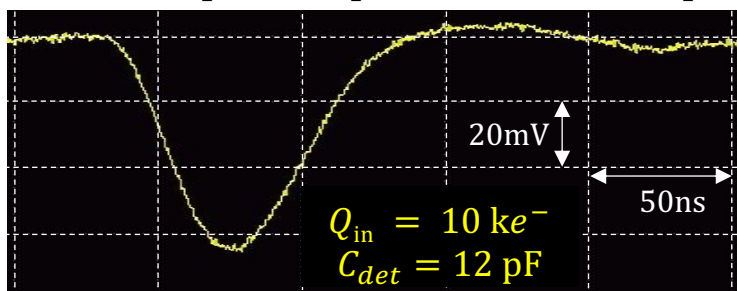
2022/11/07

Zihan Wang FPWS2022

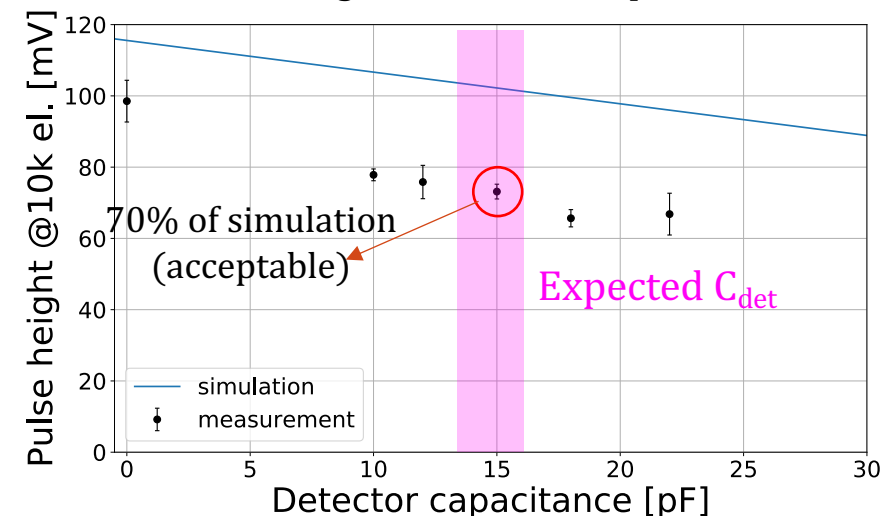


負信号の波形

Shaper output @ oscilloscope



Pulse height VS. detector capacitance

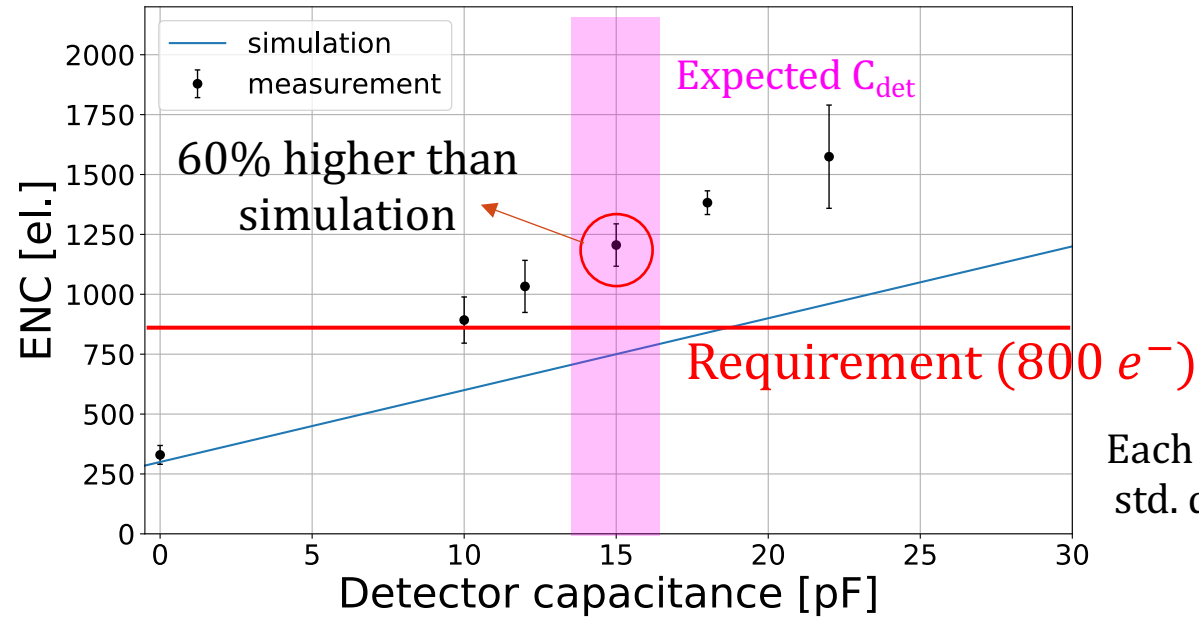


Each data point is the mean & std. dev. of multiple channels

- 再構成した波形はオシロでの観測と一致、simulationの波形と相似
- パルス幅~ 56 ns、要求を満たした (<100 ns)
- 波高はsimulationの70%しかないが、運用上に問題ない

負信号のノイズ測定

Noise VS. detector capacitance

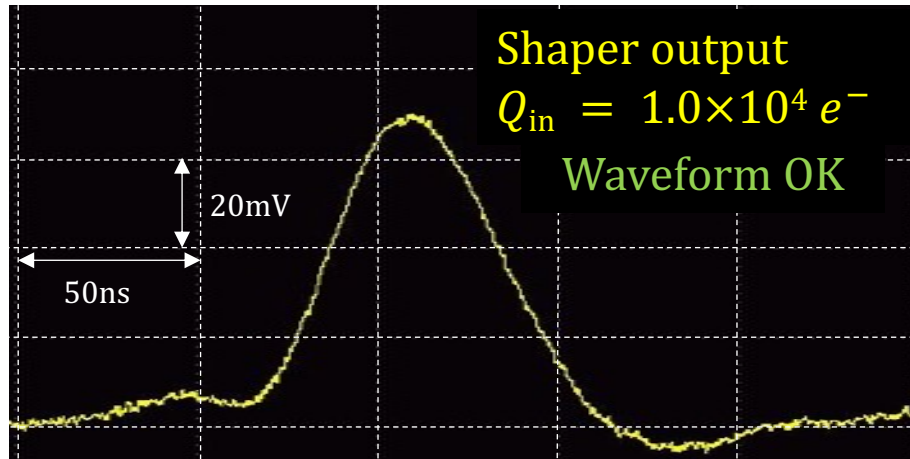


Each data point is the mean & std. dev. of multiple channels

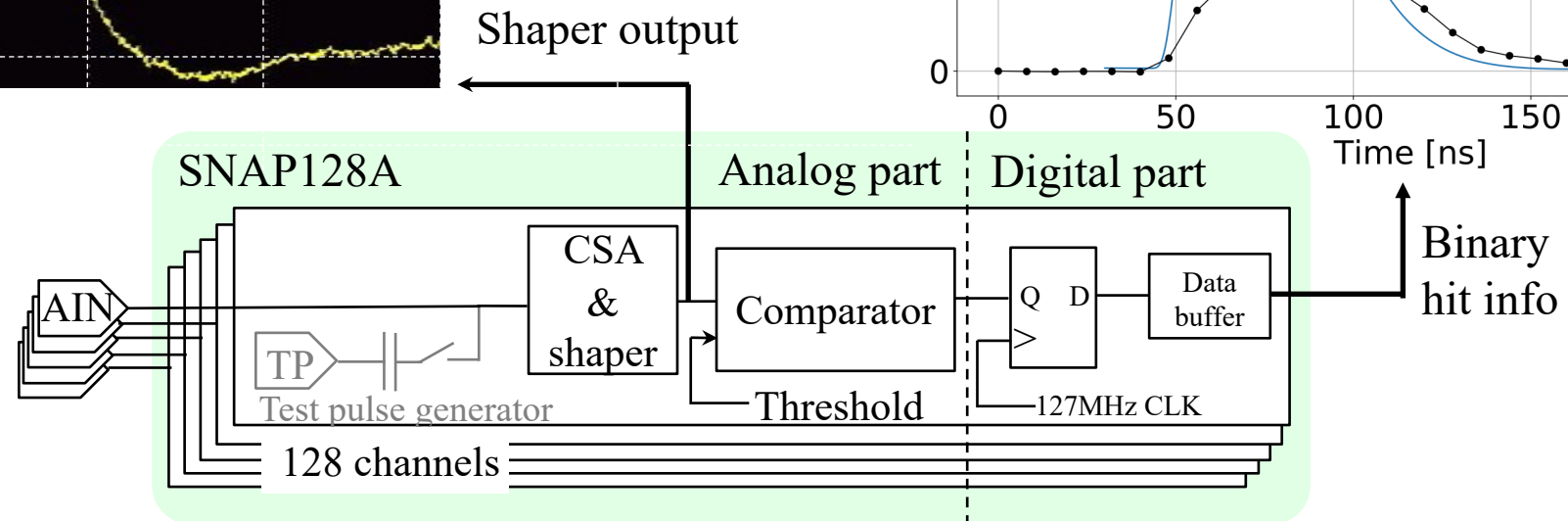
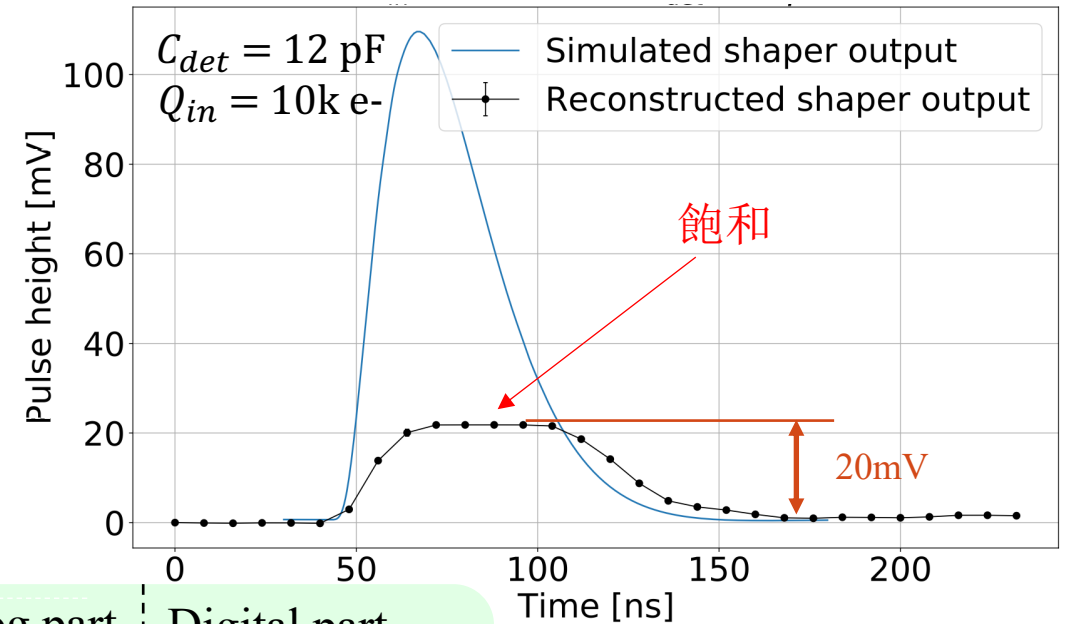
- ノイズの実測値がsimulationの1.6倍になり、要求値を上回った
- データとsimulationの間の不一致の考えられる原因:
 - テストボード上の寄生容量(~3pF)
 - DAC基準電圧の揺らぎ
 - (頼れないsimulation library?)

正信号の再構成

Before comparator



After comparator

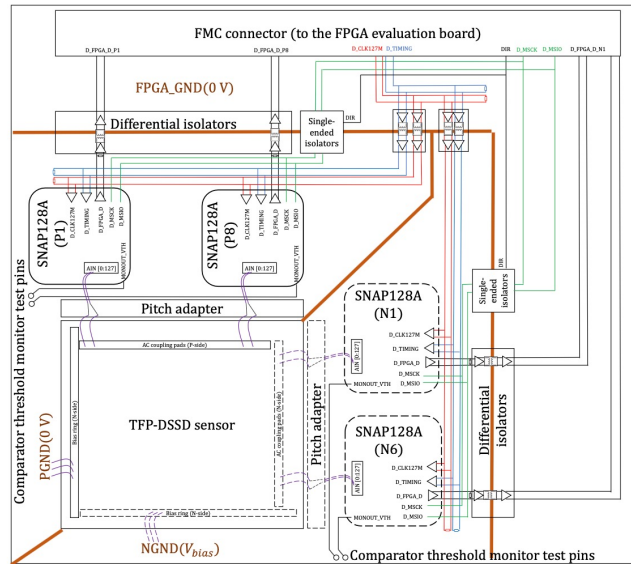


- 飽和は comparator 内部で起こった
 - 正信号に対する動作範囲が狭いことが simulation で確認できた

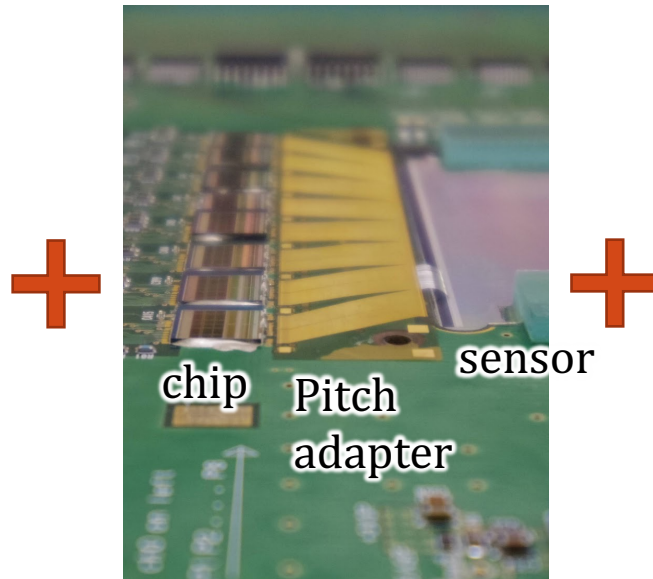
TFP-DSSD 性能評価：Prototype検出器の組立

- 目的：
 - センサーと繋いだチップのノイズを評価
 - N側の信号検出試験（信号電荷量測定など）
- Prototype検出器（センサー&チップ）の組立はほぼ完成、DAQテスト成功
- 測定進行中

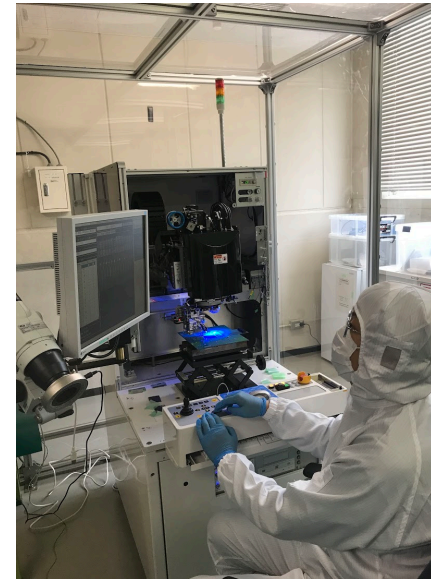
■ Test board設計



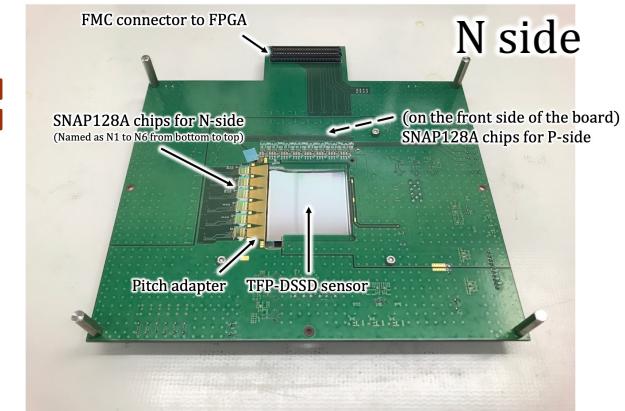
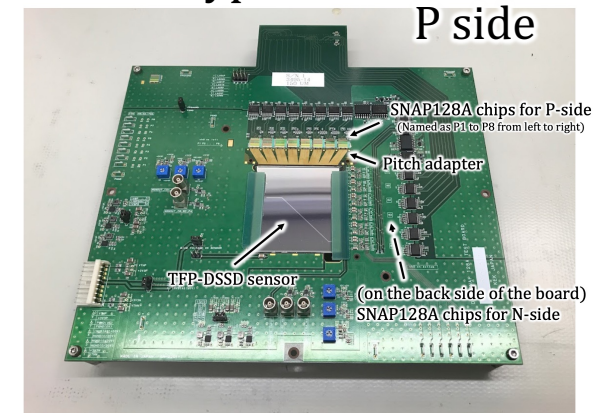
■ チップ、センサーの接着



■ Wire bonding



■ Prototype検出器



SNAP64B開発の見込

- ノイズと信号飽和问题の解決に向けて、次のプロトタイプSNAP64Bは開発中
 - 製作会社はTSMCへ変更

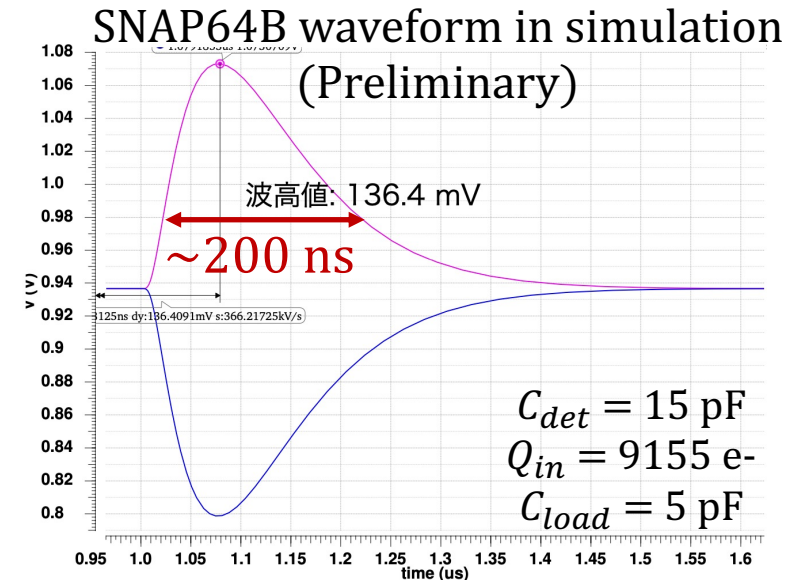
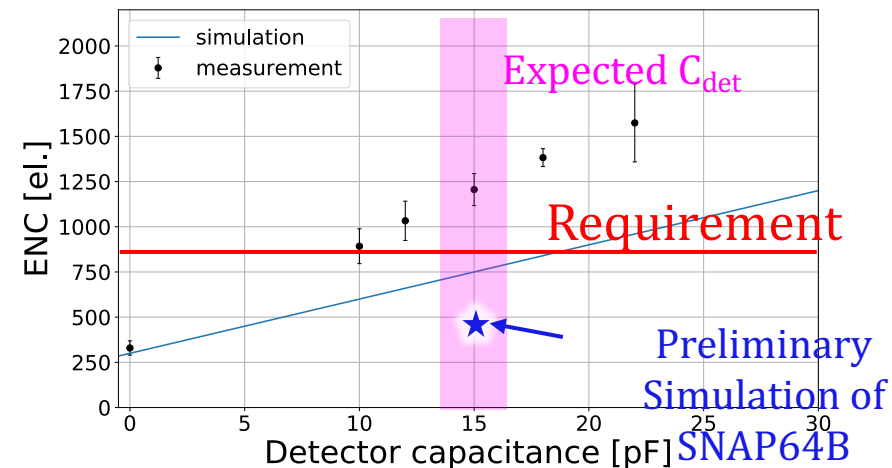
ノイズ

- Shaping timeを長くすることで、ノイズを抑えられる
- DACの基準電圧を揺らぎの小さい電位へ変更

正信号飽和

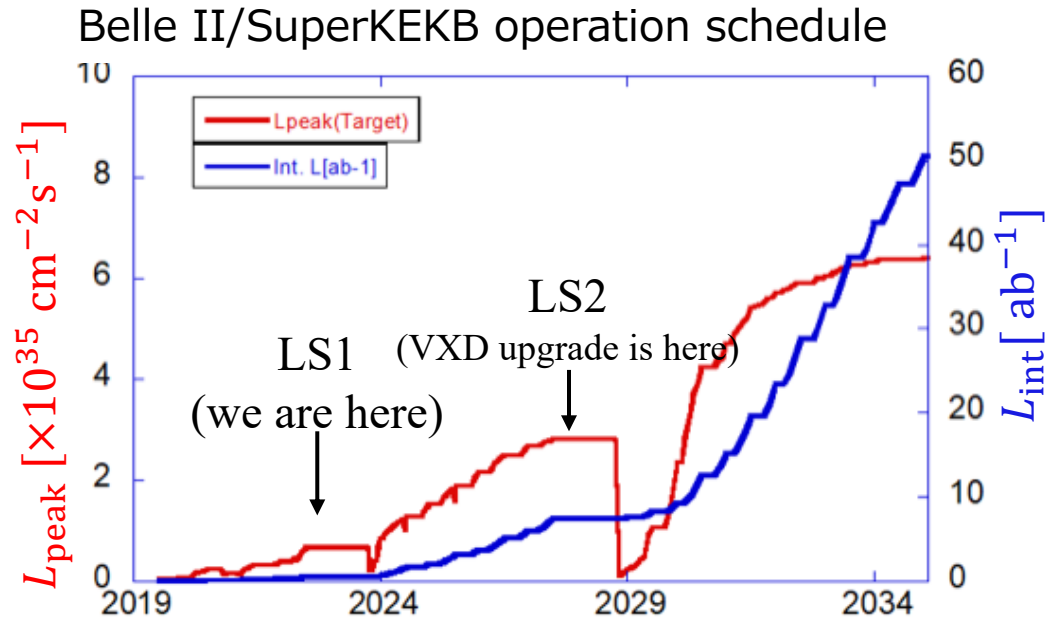
- Comparatorの動作範囲を広げる（詳細はback upへ）

来年2月末に納品する予定



まとめ

- SNAP128Aの性能評価:
 - 評価システムを開発し、正常動作していることを確認した
 - 負信号の性能を評価した
 - パルス幅は要求値を満たした
- TFP-DSSDの評価:
 - Prototype検出器の組み立てはほぼ完成、測定は進行中
- 次のプロトタイプチップは来年2月に納品する予定
 - パルス幅を長くすることでノイズを抑える
 - Comparatorの動作範囲を広げることで正信号飽和を解決する
- SuperKEKBのLS2期間中にインストールを目指す



BACK UP

VXDアップグレード

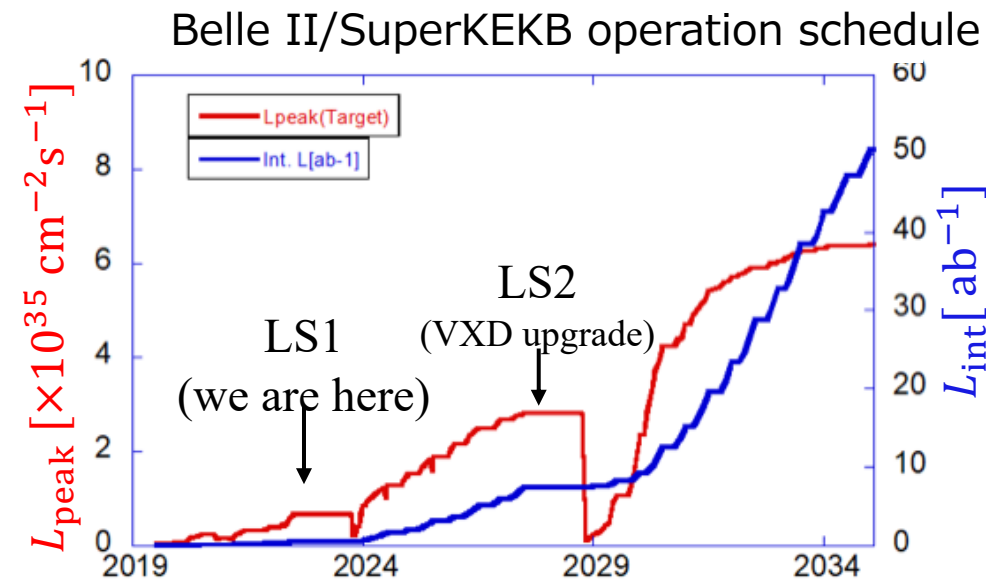
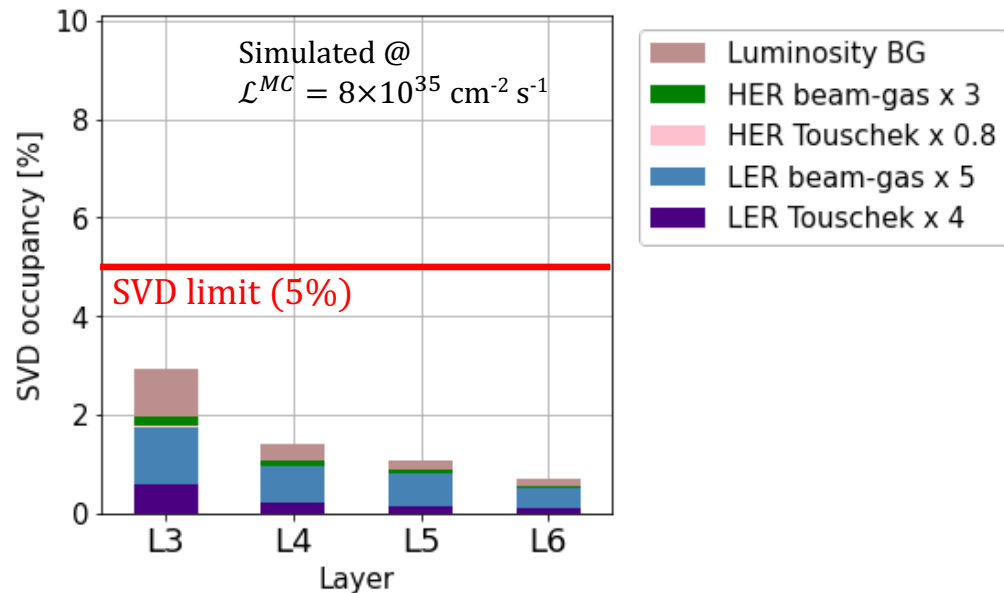
ビーム起因の背景信号に対する課題

- ビーム由来の背景粒子がtrackingを悪化する
- 現行の予想値が許容範囲内であるが安全マージンが小さい
 - SVD最内層: 1.7
 - 予想値には大きな不定性がある

望ましい物理測定の性能向上

- 崩壊点位置精度の向上
- 低物質量化
- トリガー遅延の許容時間の増大
- VXDによる崩壊点L1トリガーの新設

SuperKEKB運転のLS2期間中に実施する予定



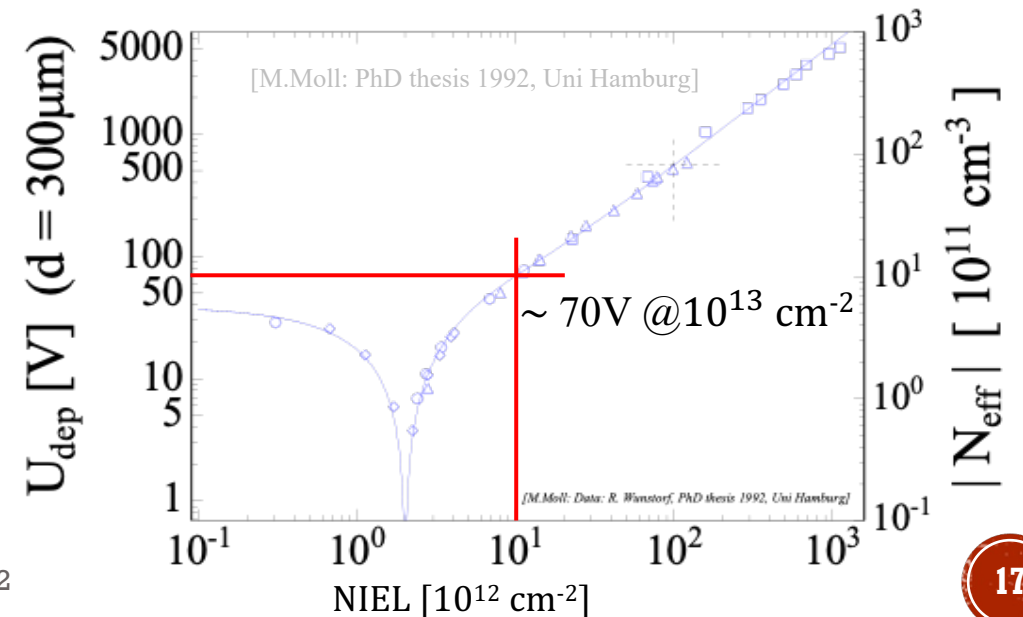
Belle II vertex detector upgrade project

SVD Beam background status @ target luminosity

- Motivation of vertex detector upgrade
 - **Better vertex & momentum resolution**
 - Especially for K_S & low momentum tracks
 - **Higher beam background tolerance**
 - Eating up safety factors according to simulation
 - Increasing depletion voltage due to NIEL
 - **Higher hit rate tolerance**
 - Avoid possible signal pile-up at target luminosity
- Thin/fine-pitch SVD (TFP-SVD) project is an upgrade plan of SVD (Silicon strip detector)

	Expected at target luminosity*	Limits	Safety factor
Layer-3 occupancy	~3%	~3%	~1
NIEL	$7 \times 10^{12} \text{ cm}^{-2}$	$\sim 10^{13} \text{ cm}^{-2}$	~1

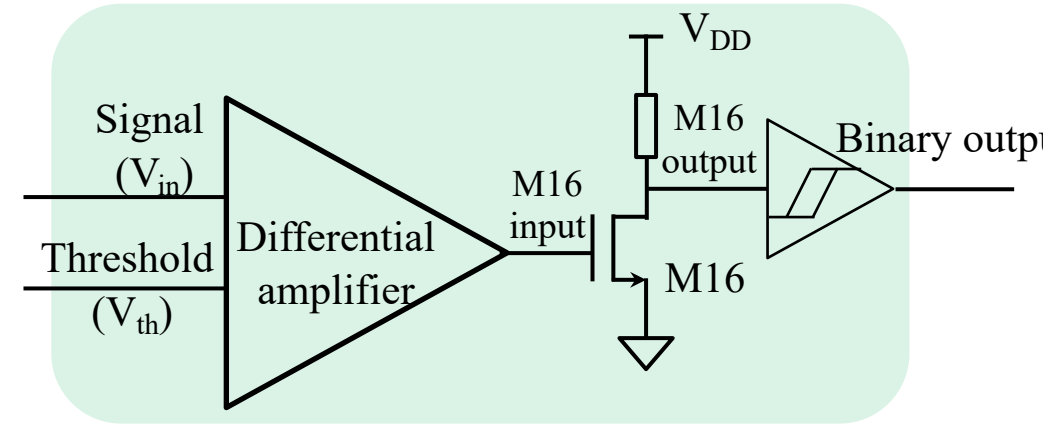
*: Large uncertainty due to injection background and collimator setting difference



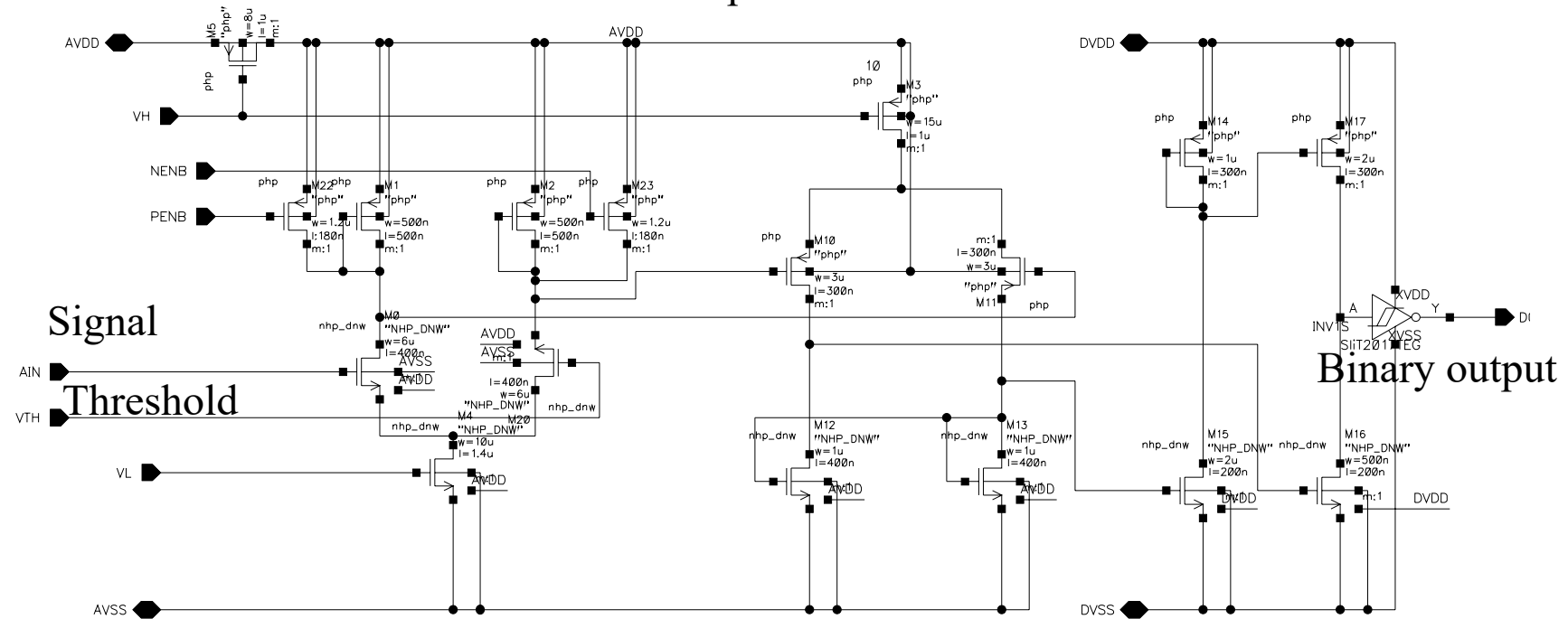
Comparator simulation

- Software: cadence virtuoso IC617
- Simulate the behavior of each transistor in the Comparator

Block diagram of Comparator

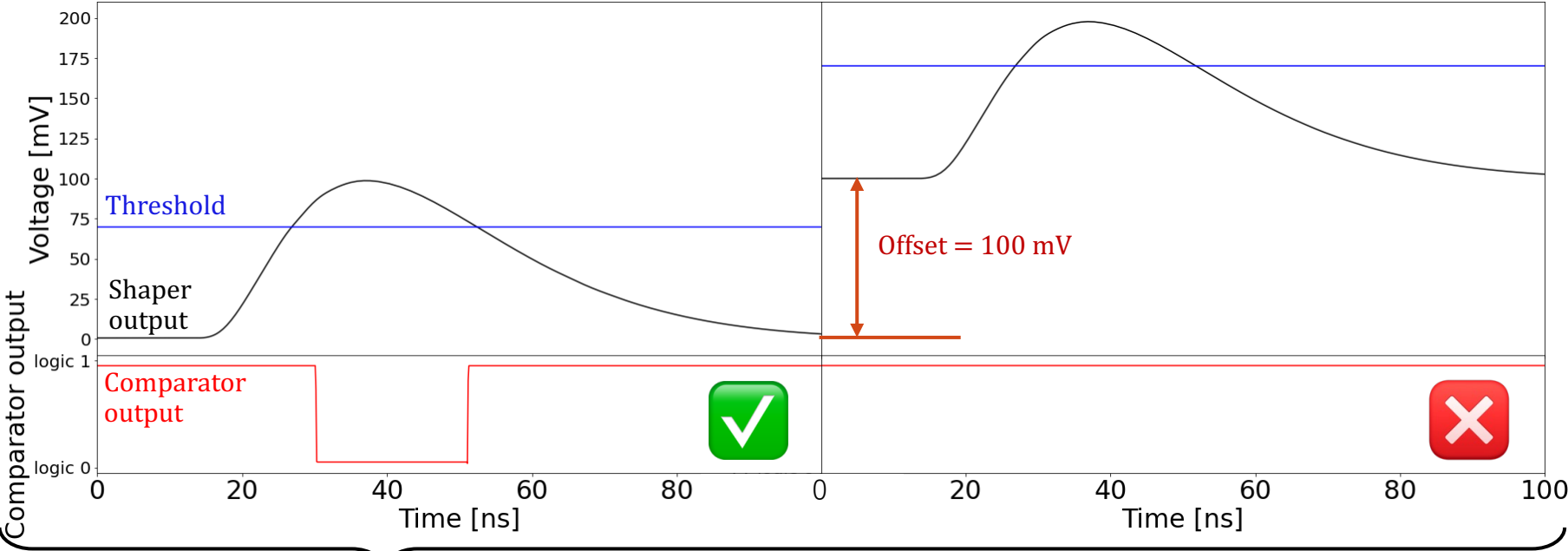


Schematic of Comparator

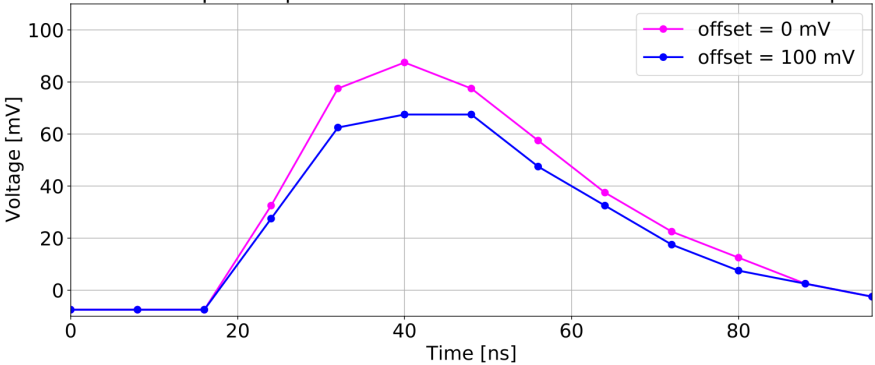


Simulation of Comparator reaction

Simulation environment:
cadence virtuoso IC617

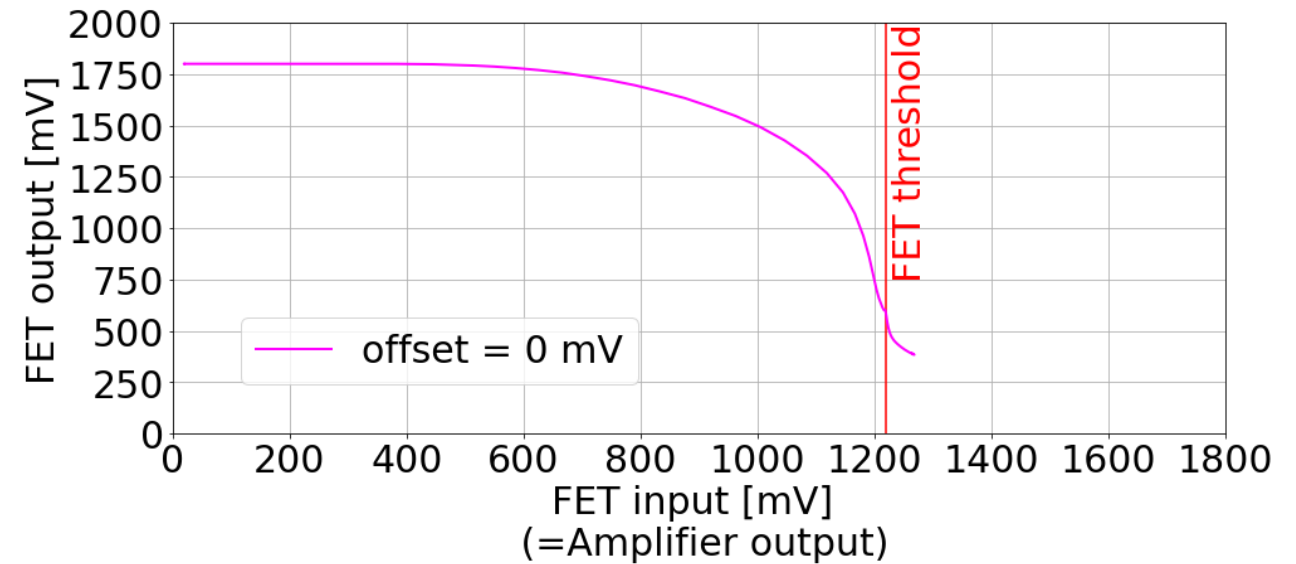
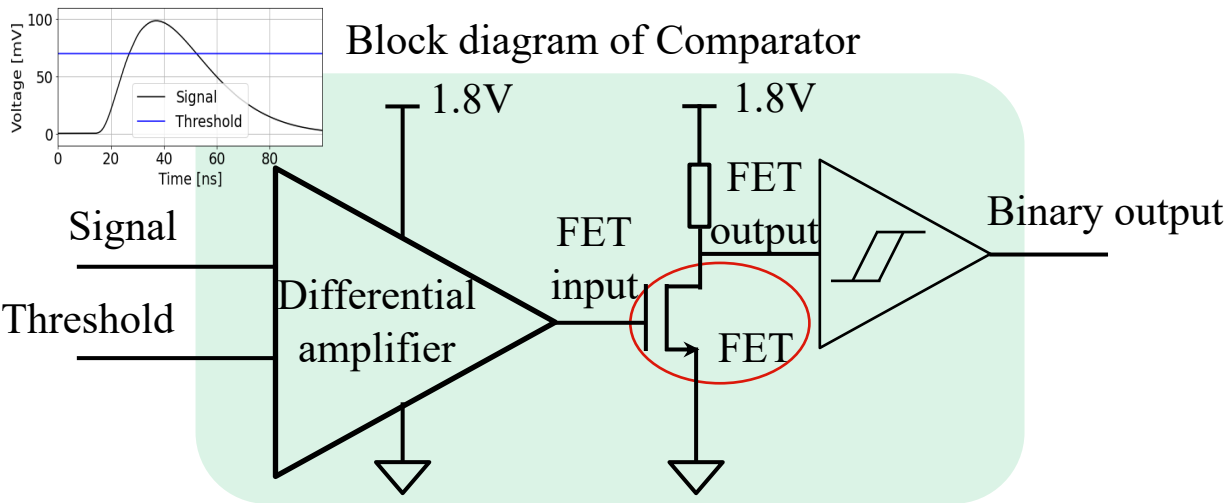


Waveform reconstruction by threshold scanning



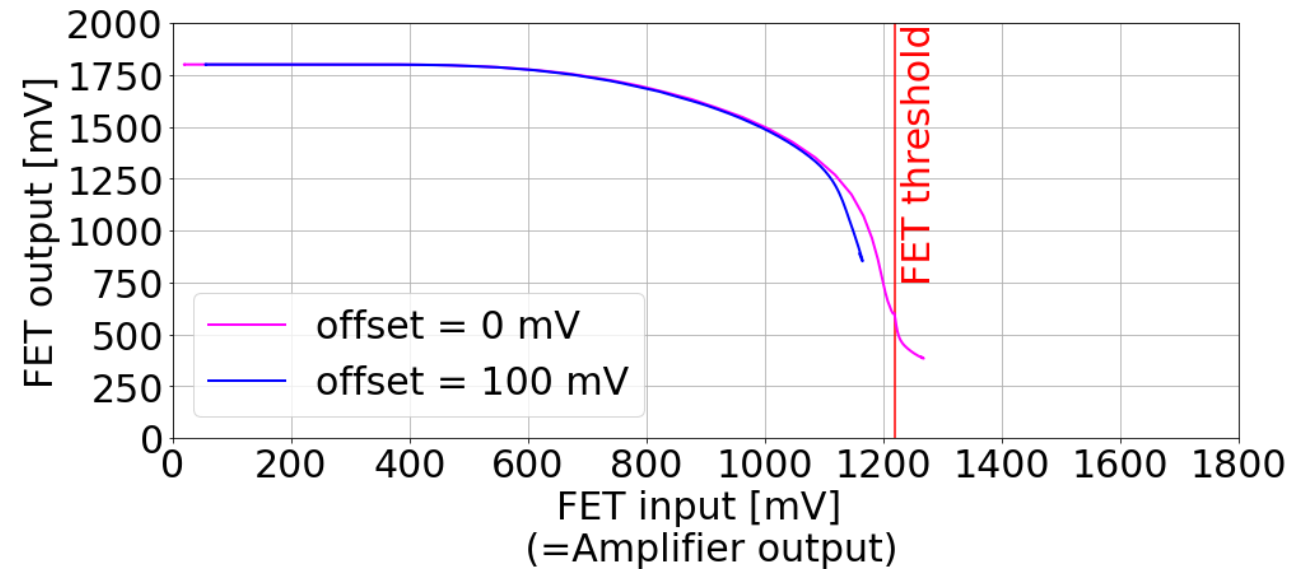
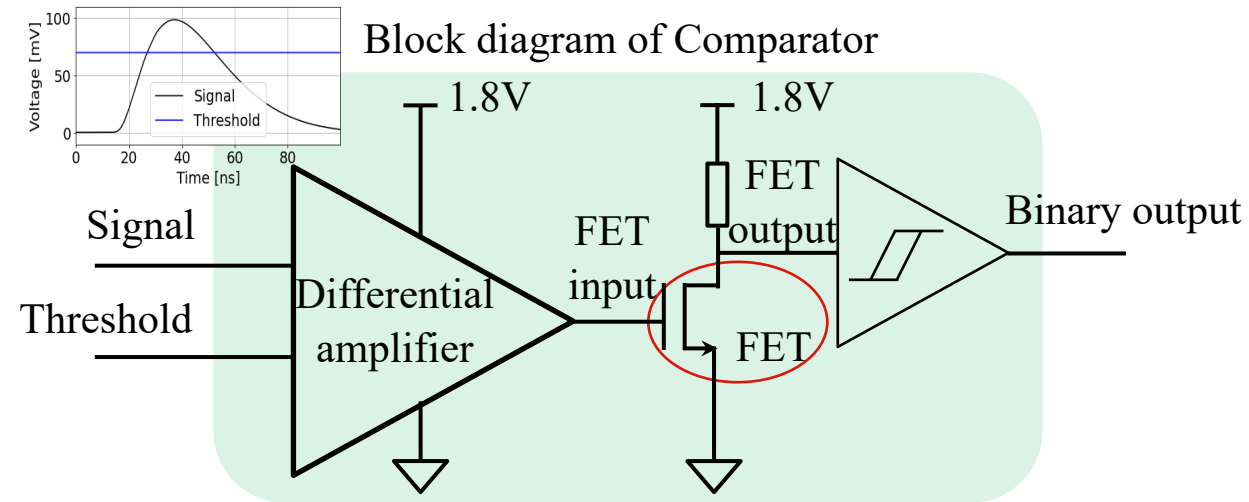
- Direct reason of saturation: no logic 0 output from comparator when shaper output is over threshold
- With offset, saturation reproduced in simulation

Mechanism of saturation and solutions



- Comparator outputs 0 when amplifier output $>$ FET threshold
- Maximum amplifier output is too close to FET threshold:
 - Maximum amplifier output didn't reach 1.8 V
 - FET threshold is too high (0.9 V is preferred)

Mechanism of saturation and solutions



Problems:

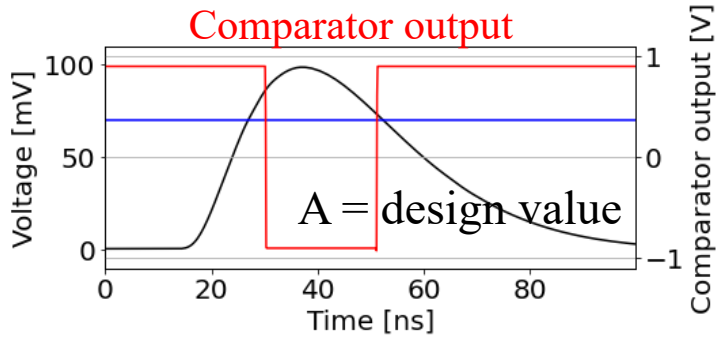
- Maximum amplifier output didn't reach 1.8 V
- FET threshold is too high (0.9 V is preferred)
- Larger offset results in smaller amplification in the amplifier

Solutions:

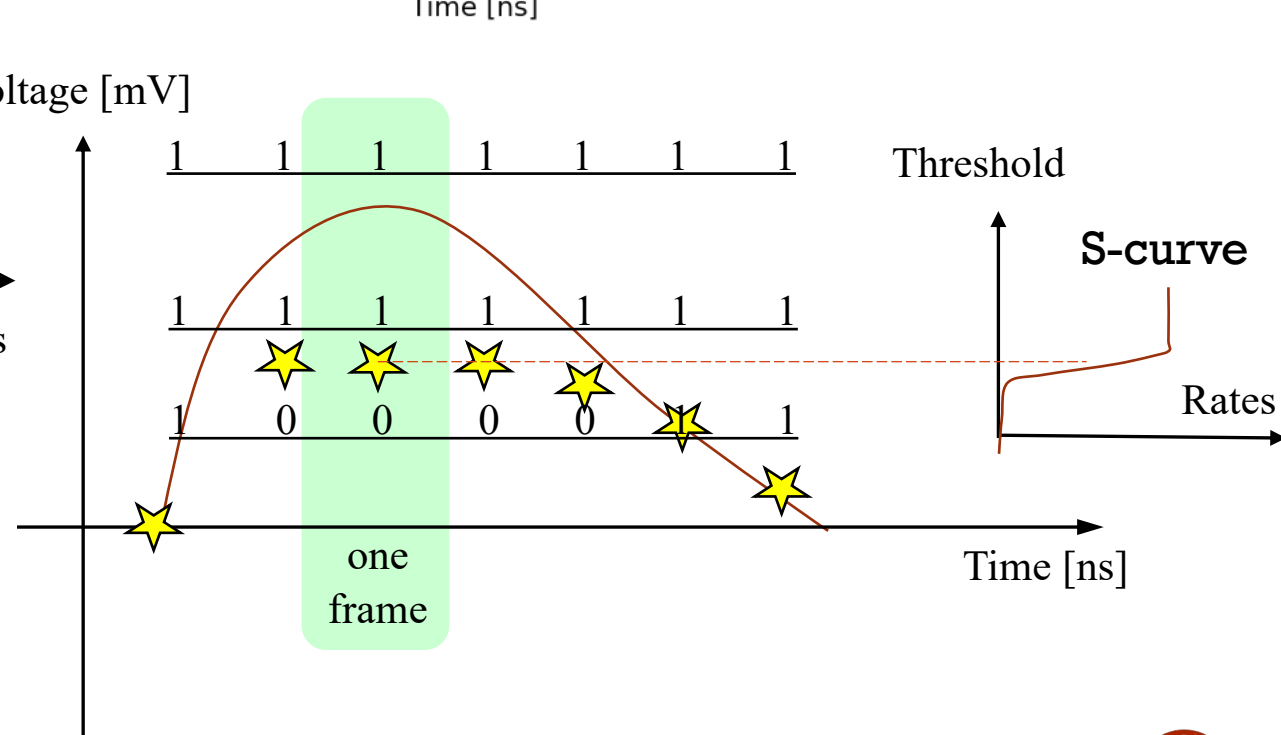
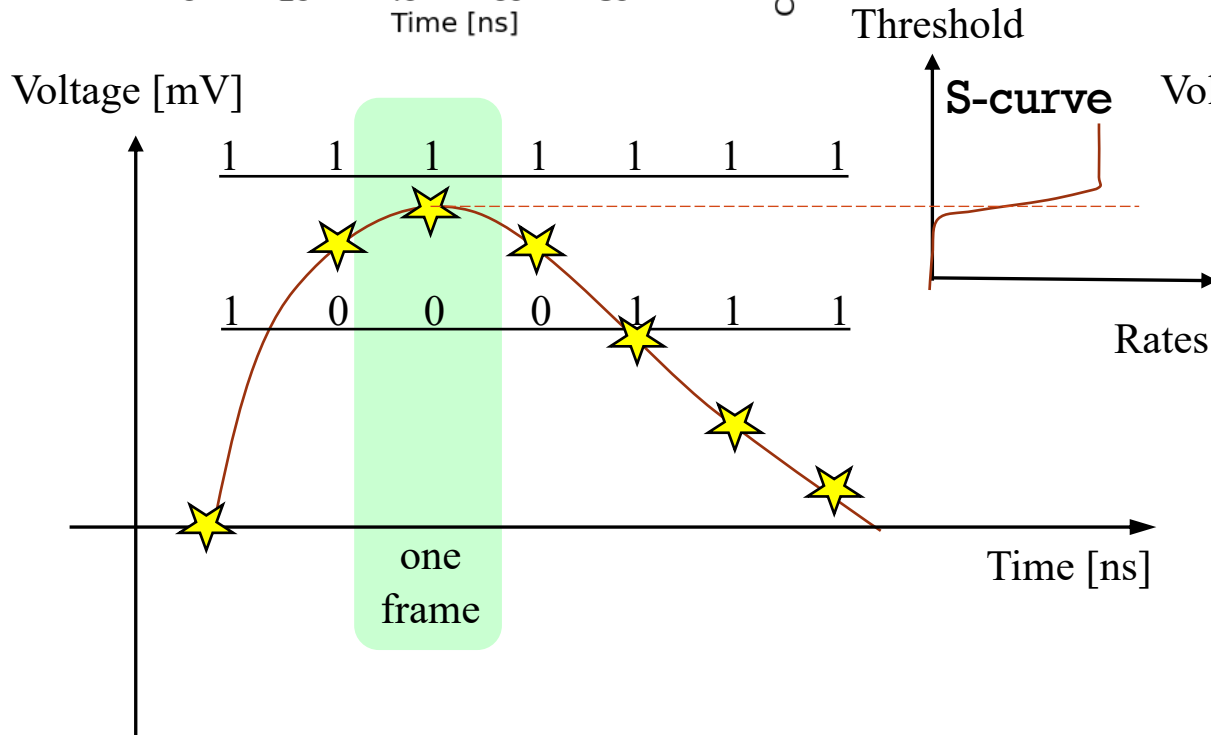
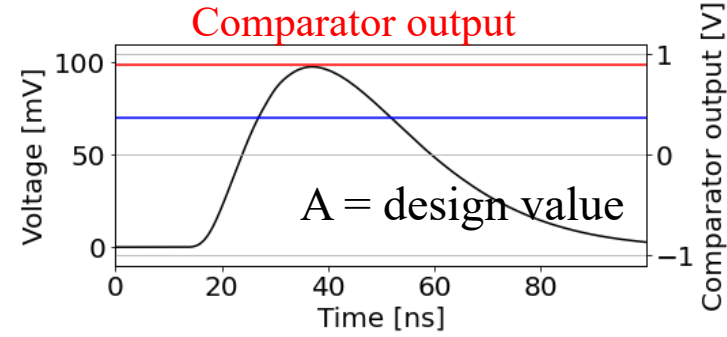
- Raise amplification factor of the amplifier
- Reduce the FET threshold to 0.9 V

Mechanism of signal saturation

No saturation

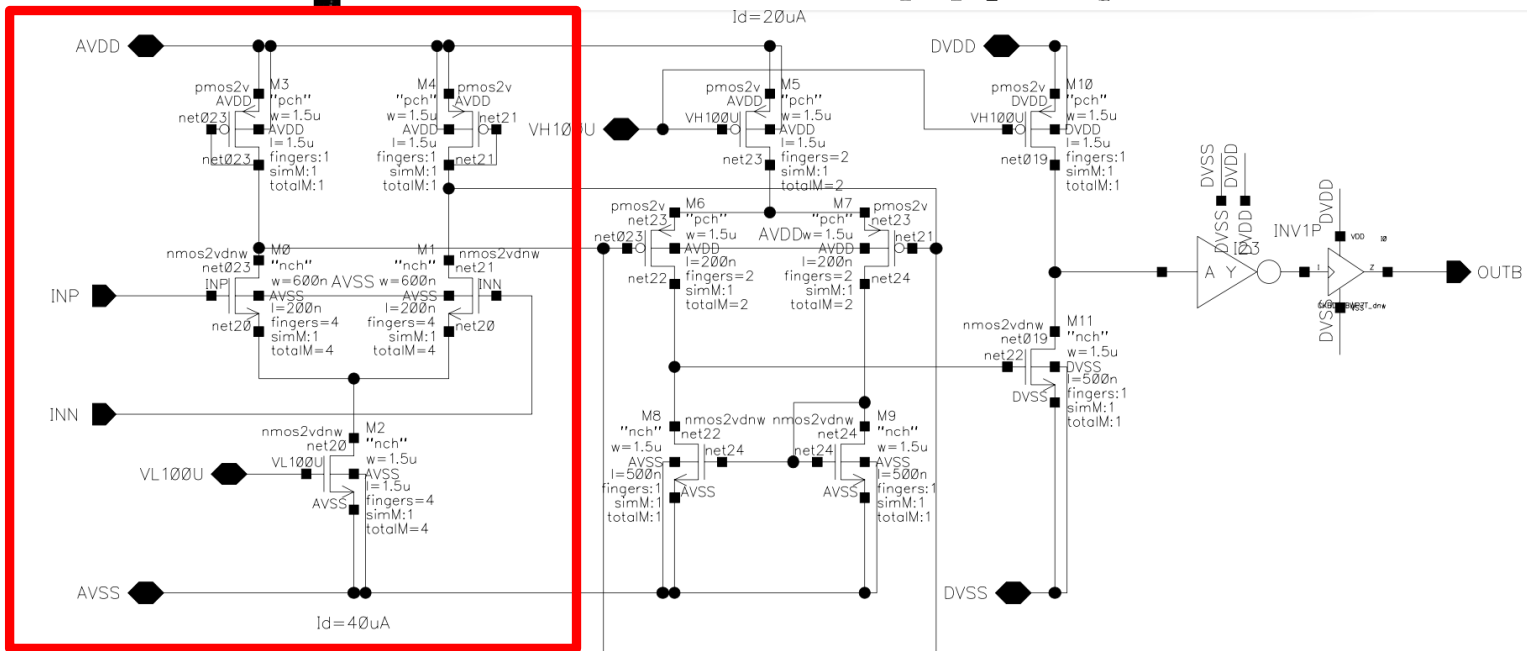


With saturation

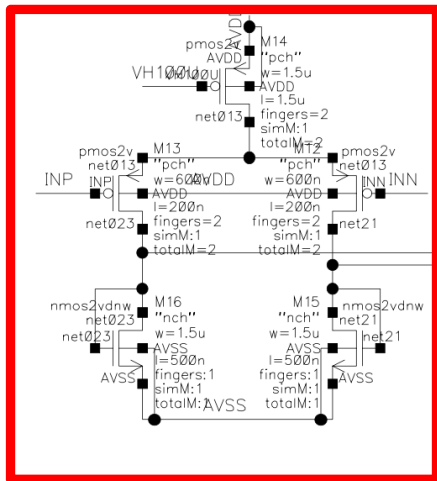


SNAP64B comparator 回路図

NMOS入力



PMOS入力
(新設)



comparator

結果

- 入力電圧が1500mV以下の領域でcomparatorの出力によって測定した電圧が入力の電圧に対して明らかな違いが見えなかったため、simulationでcomparatorの動作範囲が0V~1.5Vをカバーしたと判断する

この部分で入力電圧とcomparator出力によって測定した電圧の違いが大きいため信号飽和の疑いがある

