

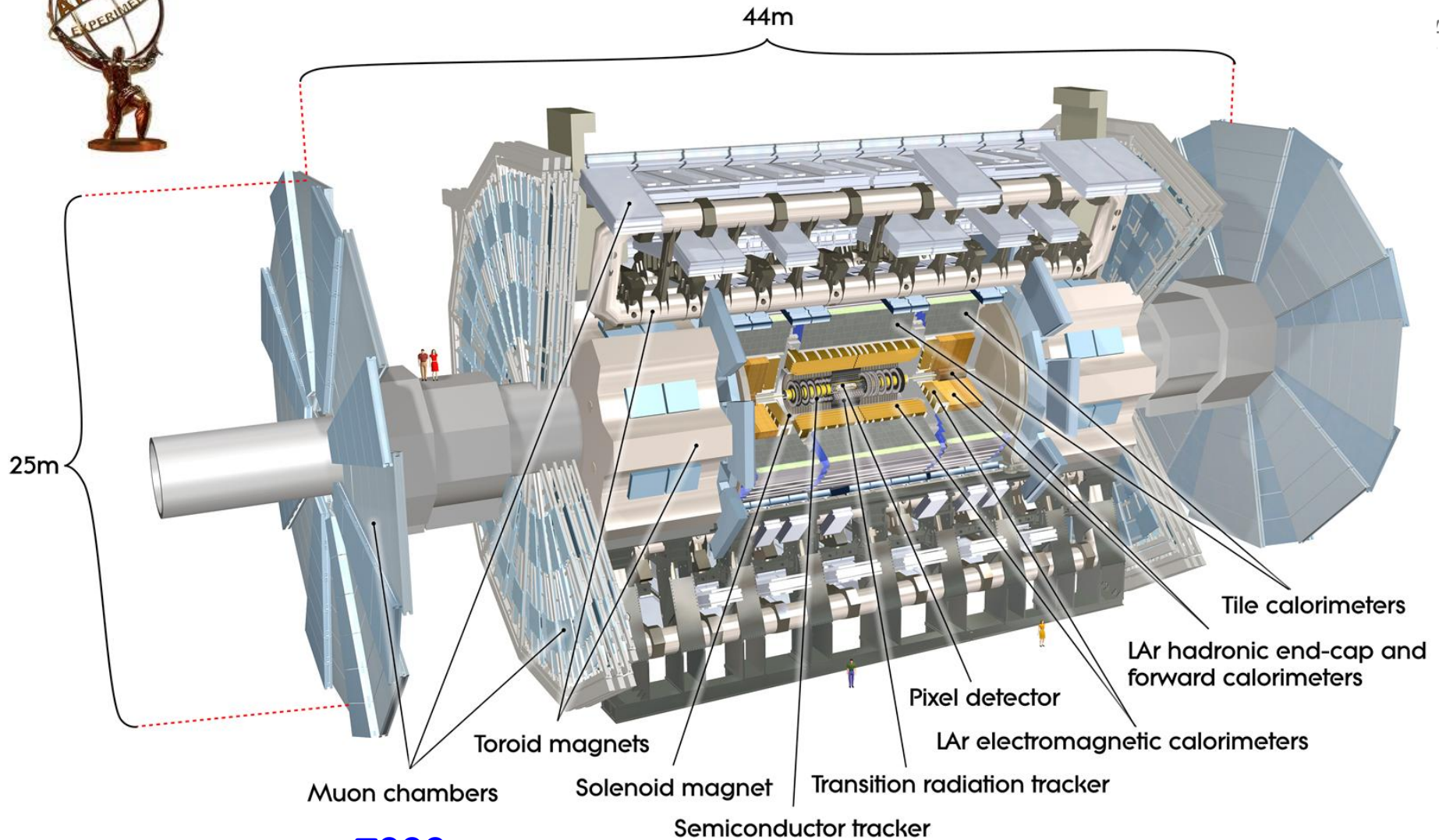
ATLAS LAr Calorimeter Upgrade project

江成 祐二 東京大学 ICEPP

新学術領域研究
先端加速器LHCが切り拓く
テラスケールの素粒子物理学
研究会 @ 名古屋大学
2013年5月23日

もくじ

- A T L A S L A r カロリメータ
 - P e r f o r m a n c e
 - 何が問題になるか
- アップグレード
 - 何が必要か？
 - 開発状況
- A T L A S – J a p a n の貢献

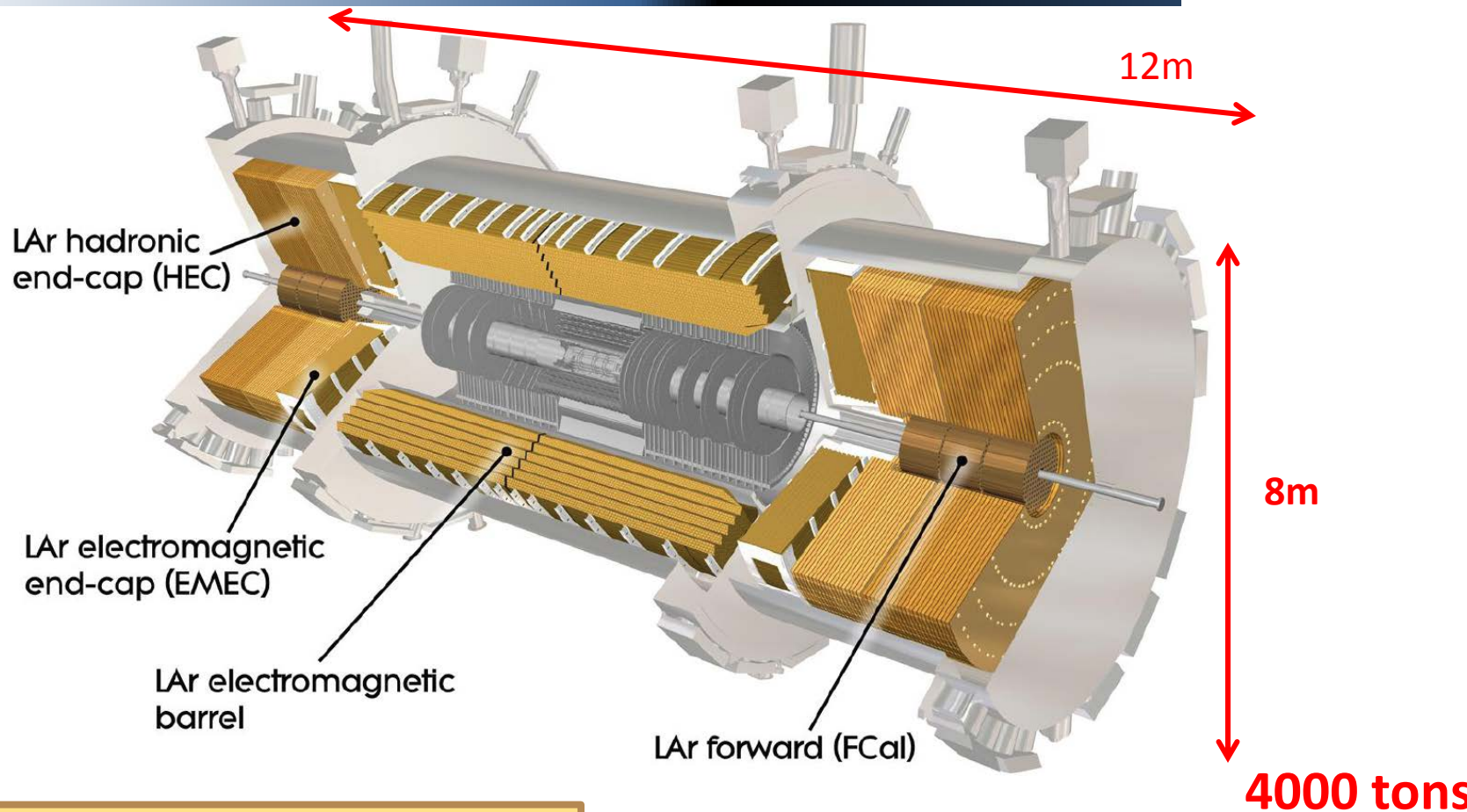


7000 tons
88 Million channels
3000 km of cables
2T solenoid
Toroid ($B \sim 0.5\text{T}$ in barrel; $\sim 1\text{T}$ end-cap)

pseudorapidity:
 $\eta = -\ln(\tan(\theta/2))$

angular distance:
 $\Delta R = \sqrt{\Delta\eta^2 + \Delta\phi^2}$

ATLAS Liquid Ar Calorimeter

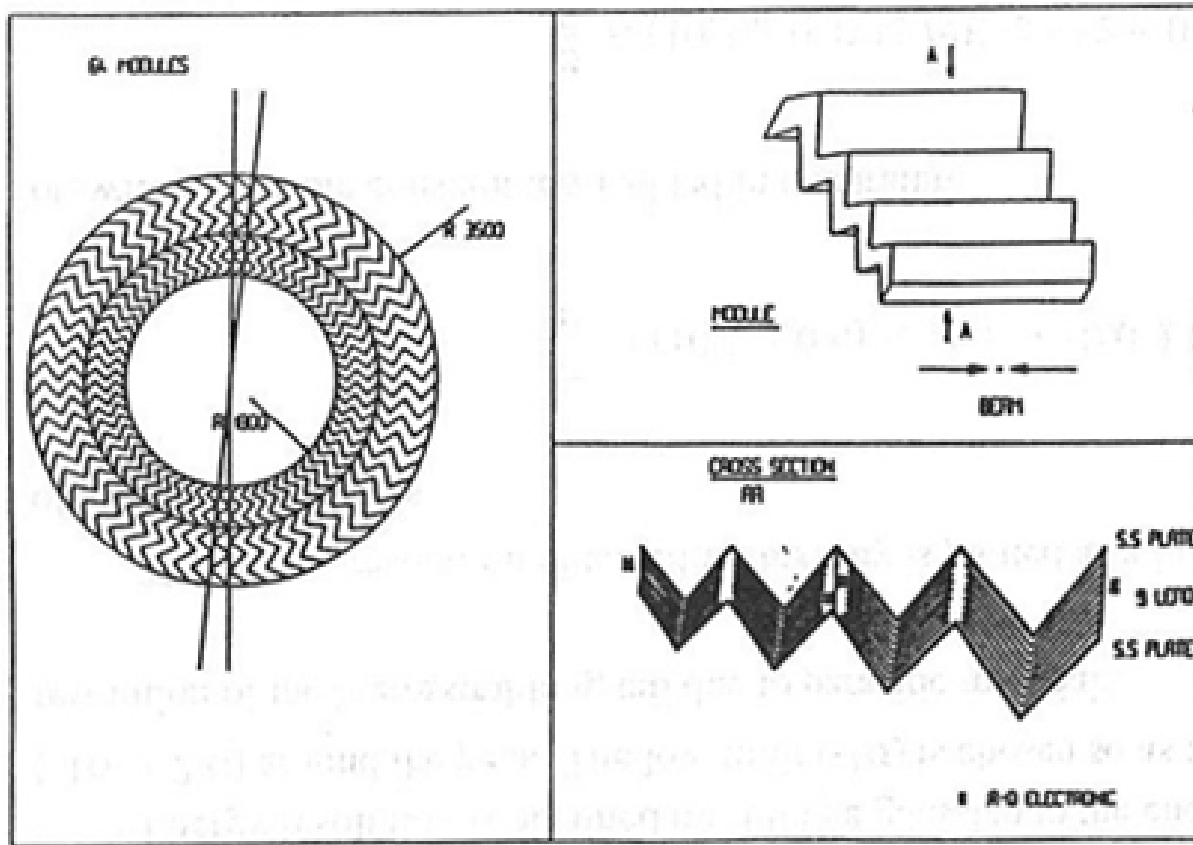


LAr-Pb EM calorimeter ($|\eta| < 3.2$):

- e/γ trigger, identification; measurement
- $\sigma/E \sim 10\%/\sqrt{E} \oplus 0.7\%$
- Granularity: 0.025×0.025 ; $22X_0$
- 3 long. layers + presampler ($0 < |\eta| < 1.8$)
- 180×10^3 channels

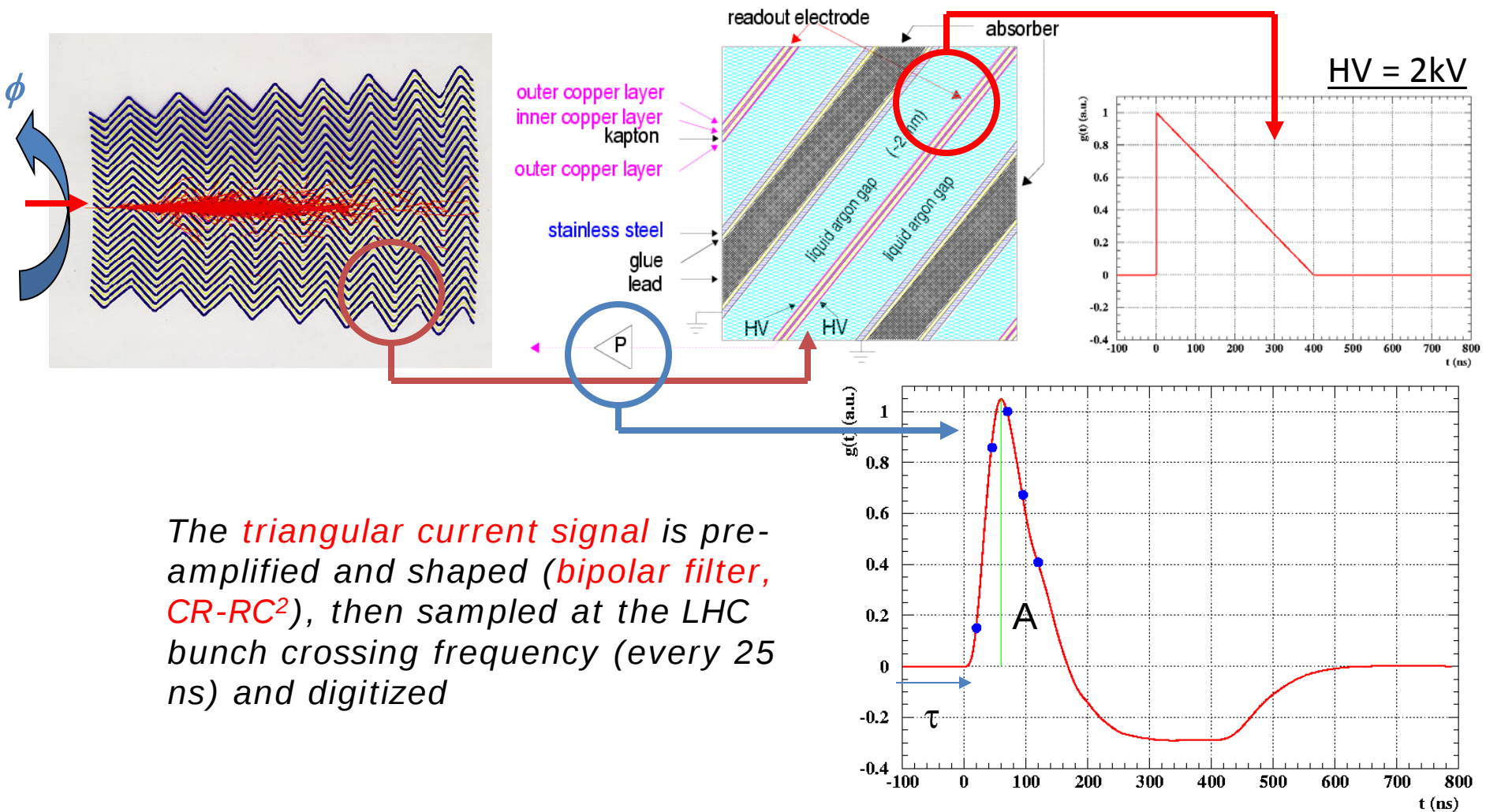
- ✓ EM Barrel : ($|\eta| < 1.475$) [Pb-LAr]
- ✓ EM End-caps : $1.4 < |\eta| < 3.2$ [Pb-LAr]
- ✓ Had.End-cap: $1.5 < |\eta| < 3.2$ [Cu-LAr]
- ✓ For. Calorimeter: $3.2 < |\eta| < 4.9$ [Cu,W-Lar]

アコーデオン構造とLiquid Argon



- Liquid Argon
 - Very good linearity on the response to number of charged particle
 - Radiation hardness
- Accordeon structure
 - Easy to make uniform detector in phi with keeping distance of electrodes

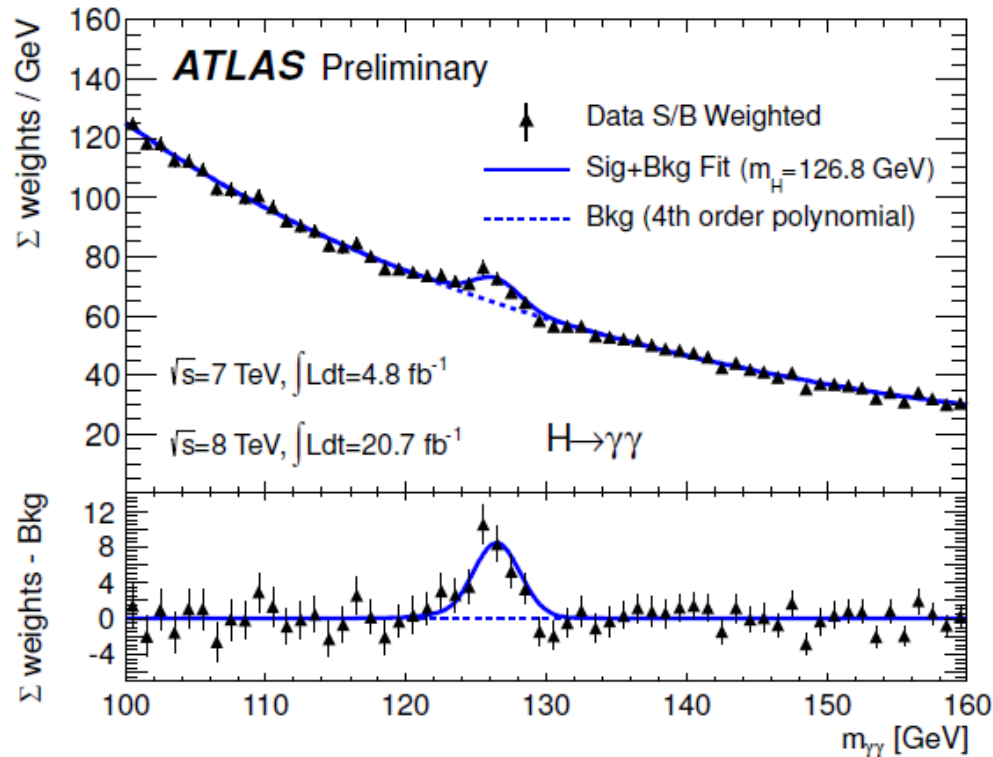
セル構造と信号のshape



The **triangular current signal** is pre-amplified and shaped (**bipolar filter, CR-RC²**), then sampled at the LHC bunch crossing frequency (every 25 ns) and digitized

The **peak** of the ionization current is **proportional to the energy** released in LAr.

すべては $H \rightarrow \gamma\gamma$ と $4l$ を念頭に



Energy measurement

- Energy scale of **0.1%** upto 300 GeV
- Sampling term should be **< 10%**
- Constant term should be **< 1 %**

Photon/Jet separation

- Jet rejection factor of **5000**
- π^0 and photon separation

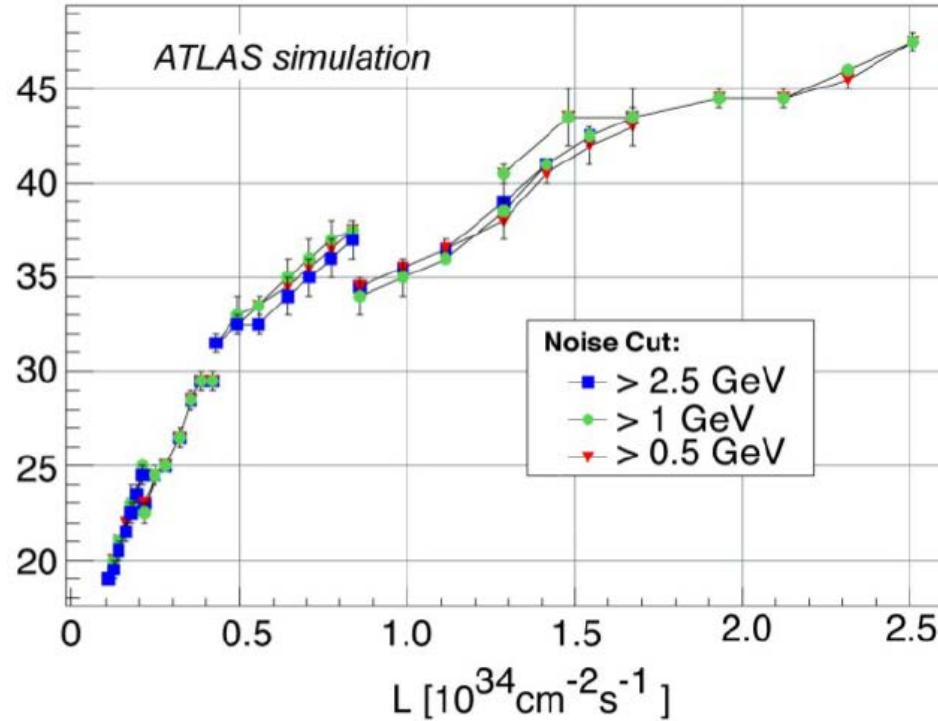
Angular resolution

- **50 mrad** on theta
→ 190,000 ch!

自然も味方し、 $M_H = 125 \text{ GeV}$ 、大成功！

将来の問題点：トリガー

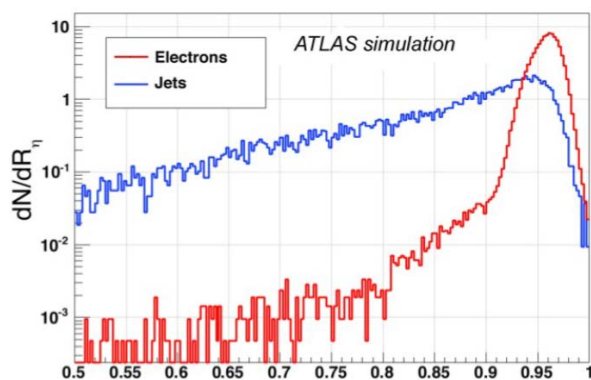
L1 trigger rateが
20KHzになるNon-
isolated EM object
に対する閾値(GeV)



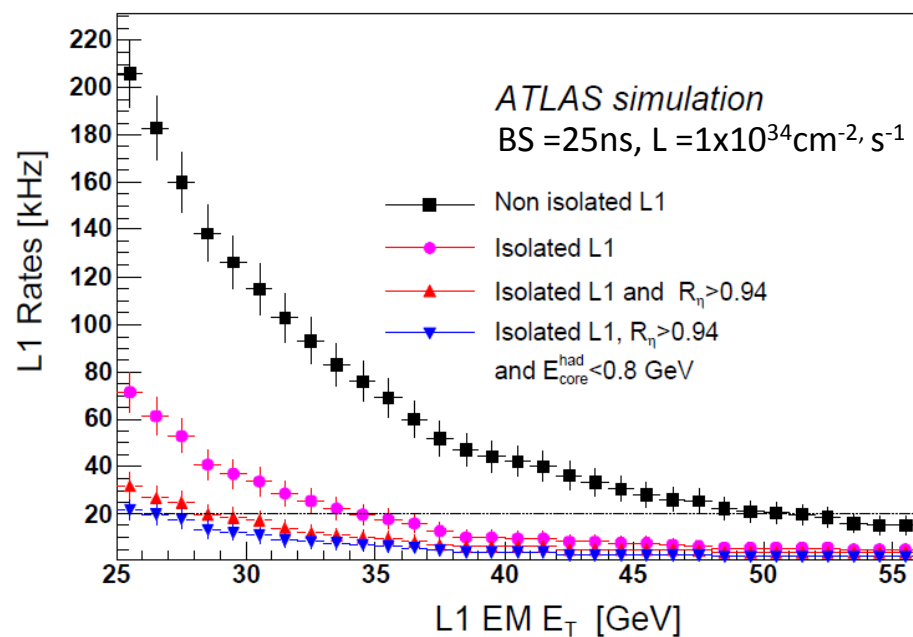
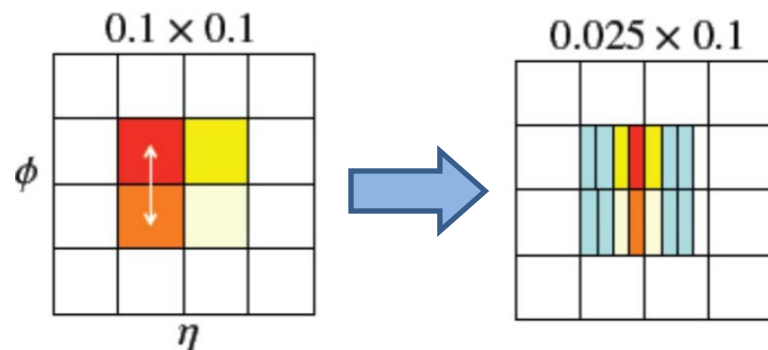
- Level-1においてSingle EMトリガーに割り当て：20KHz
- Rateを下げるために閾値を上げなければならない。
 - L2 / HLTでは 全情報がつかえる。
 - 現状のOffline解析に使っている手法をできる限りここに入れる。
 - L1を通っていなかったら意味が無い。
 - 情報をL1に渡すところから強化が必要。

L A r のアップグレード

- 現状：
 - tower size: $\phi \times \eta = 0.1 \times 0.1$
 - EM partで1つのタワー
 - アナログ信号を送っている。
- 計画：
 - 縦方向 segment
 - Fine segment
 - 質の良い
 } Level 1へ
 - Digitizeした情報
 - filteringアルゴリズム

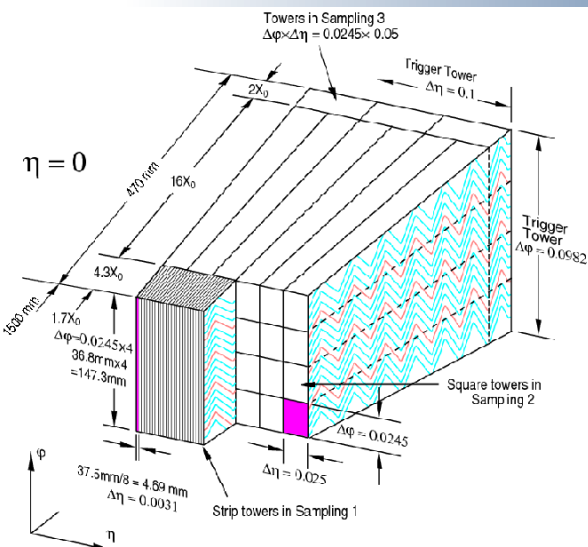


$$R_{\eta} = \frac{E_{T3 \times 2}}{E_{T7 \times 2}}$$



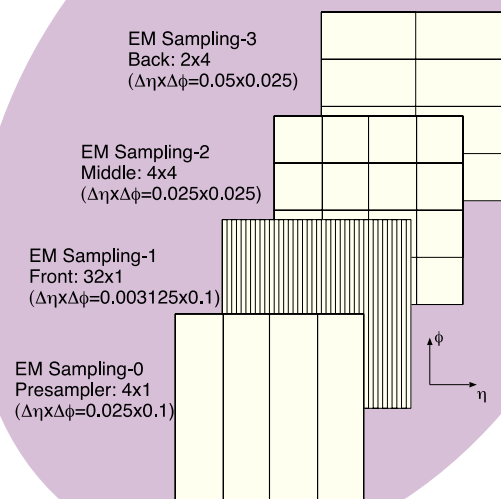
High luminosity でも $E_T > 25 \text{ GeV}$ のトリガーレートが 20 kHz に押さえられる？

L1への信号 (Super Cell I)

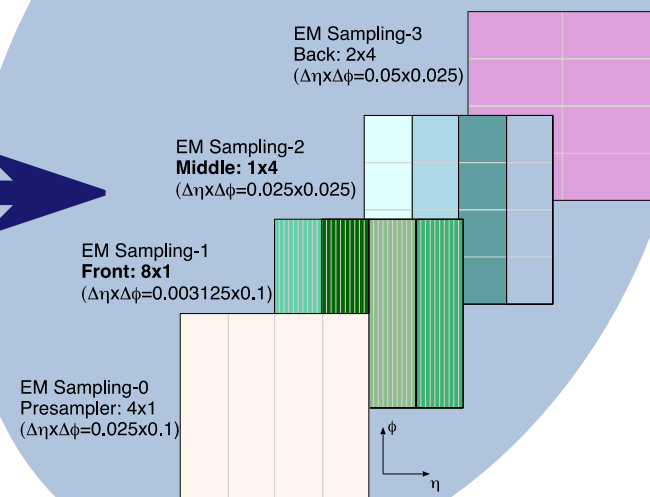


LAr EM Barrel

Trigger Tower ($\Delta\eta \times \Delta\phi = 0.1 \times 0.1$)
60 Cells in a TT



Super-Cells:
 $\Delta\eta \times \Delta\phi = 0.025 \times 0.1$ in Front, Middle
 $\Delta\eta \times \Delta\phi = 0.1 \times 0.1$ in Presampler, Back



Presampler
SC_layer=0
SC_region=0
SC_eta=0...13 [$\Delta\eta=0.1$]
SC_region=1
SC_eta=14(15) [$\Delta\eta \sim 0.1(0.12)$]
SC_phi=0...63 [$\Delta\phi=0.1$]

Front
SC_layer=1
SC_region=0
SC_eta=0...55 [$\Delta\eta=0.025$]
SC_region=1
SC_eta=56..58 [$\Delta\eta=0.025$]
SC_phi=0...63 [$\Delta\phi=0.1$]

Middle
SC_layer=2
SC_region=0
SC_eta=0...55 [$\Delta\eta=0.025$]
SC_region=1
SC_eta=56 [$\Delta\eta=0.075$]
SC_phi=0...63 [$\Delta\phi=0.1$]

Back
SC_layer=3
SC_region=0
SC_eta=0...12 [$\Delta\eta=0.1$]
SC_eta=13 [$\Delta\eta \sim 0.05$]
SC_phi=0...63 [$\Delta\phi=0.1$]

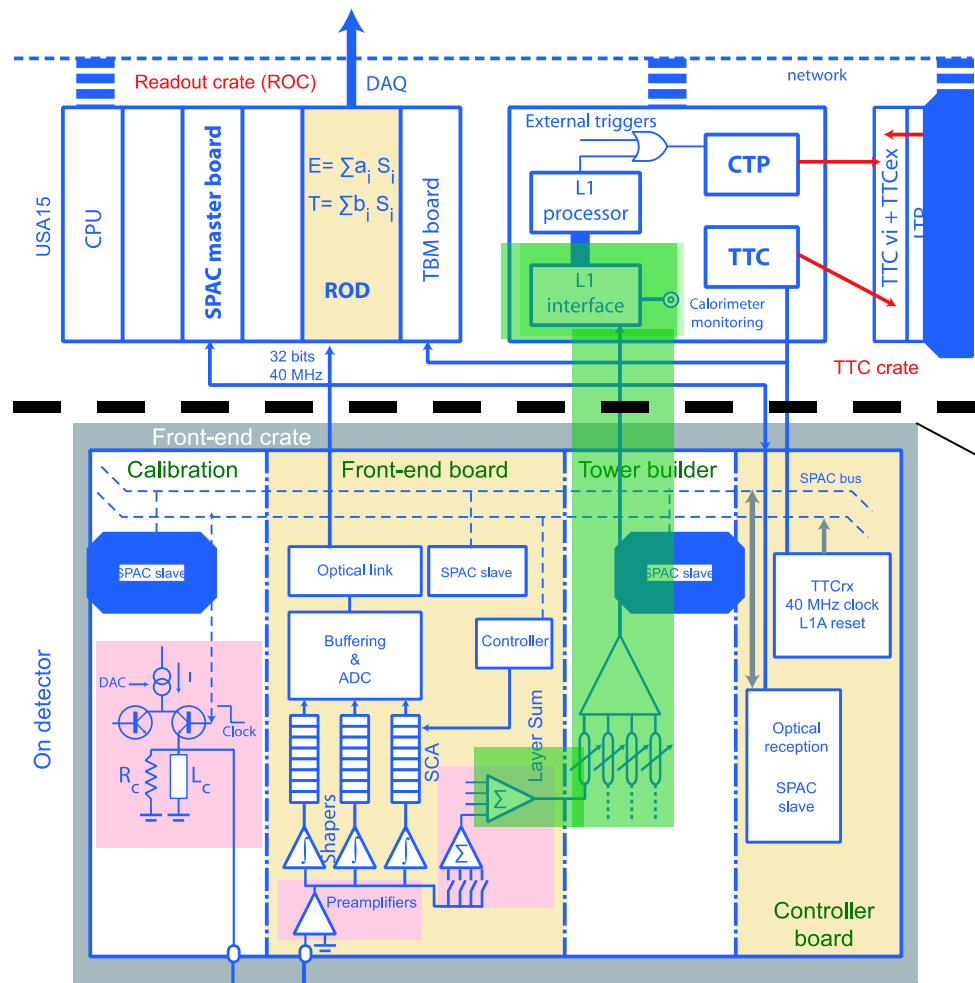
セグメントの数を10倍に

0.1x0.1の領域に10 Super Cell (SC)

PreSamplerから 1 SC、FrontとMiddleから4SC、Endから1 SC

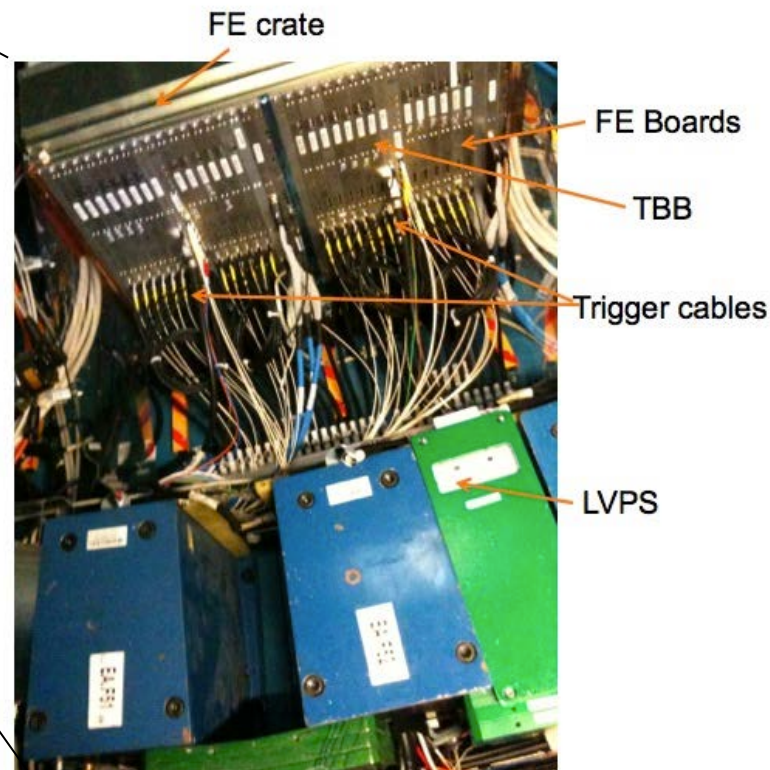
Back-End

Front-End

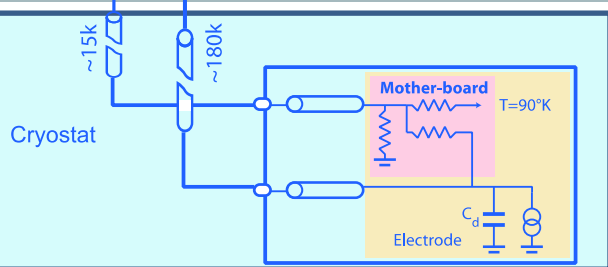


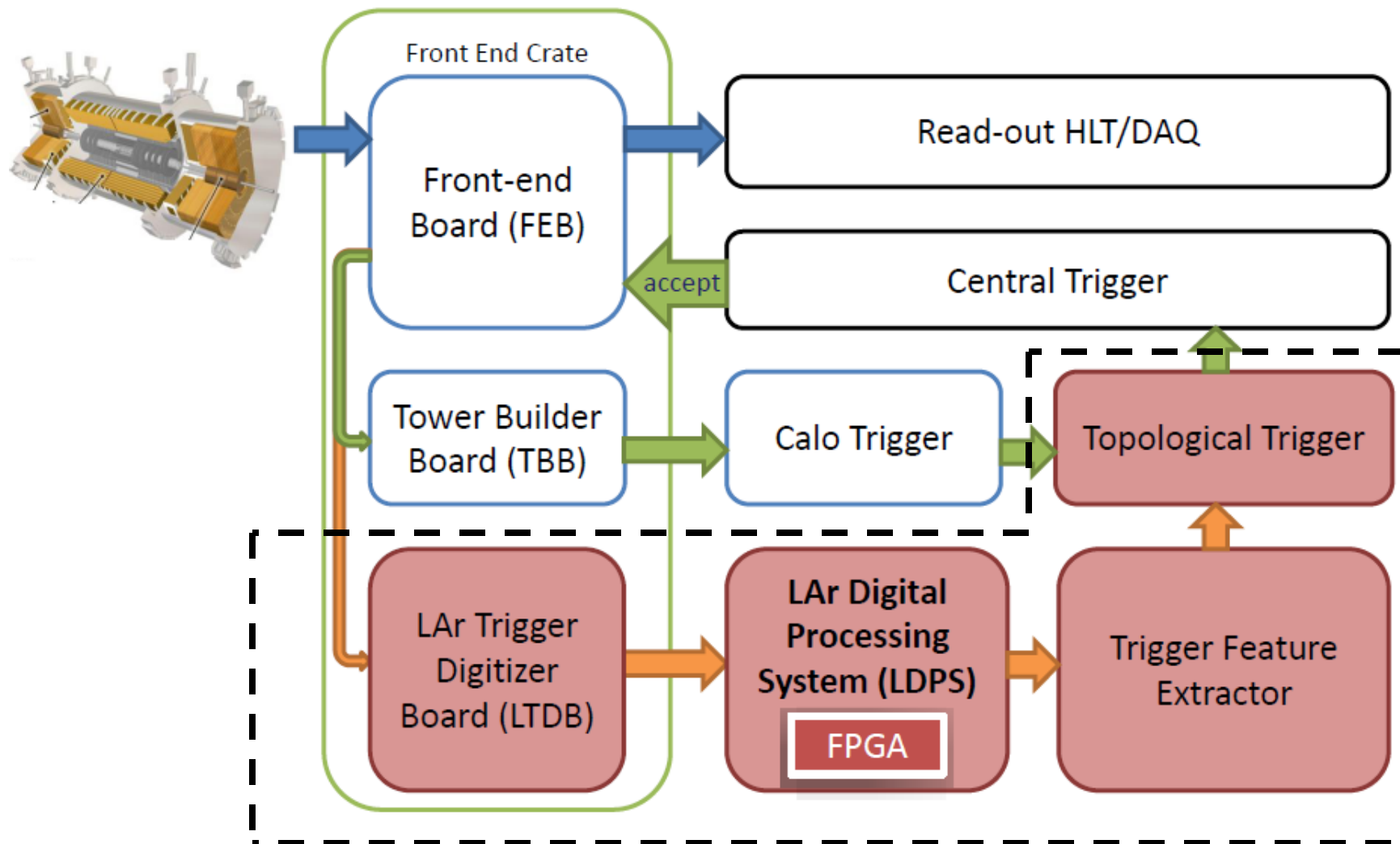
Phase-I (2018) と Phase-II (~2022) の 2 段階の Upgrade 計画

- Phase-I: 緑の部分を入れ替える。
この部分は Phase-II でもそのまま。
L1 へのアナログ部分は残す。
- Phase-II: 残りを総入れ替え
→ 10 年後との Compatibility.



検出器
本体





2018年に新しく導入されるパート

役割：検出器からの信号をDigitize、Back-End (BE) に送る。

メインボードとMezzanineで構成

- Mezzanine
 - アナログ信号の取り扱い
 - Super Cell用にAnalog sum
- メインボード
 - A S I C (A D C)
 - 12bit, 40MHz
 - Backendへのデータ転送 (5.4Gbps)
 - Phase-IIの開発でもある。

Statistics

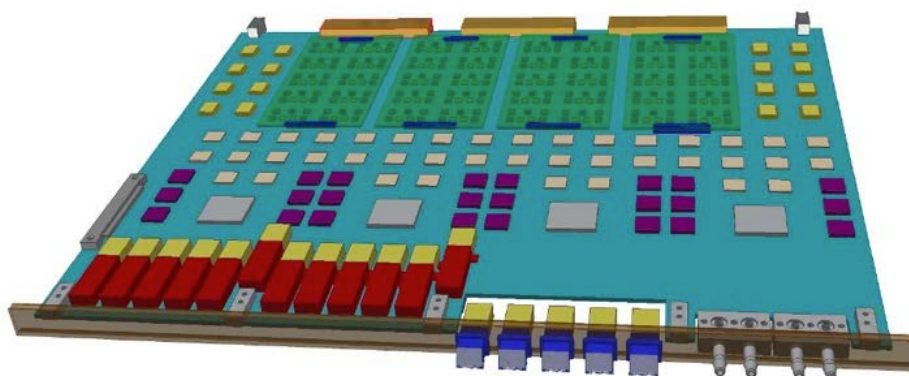
320 Super cells / board

使用電力： <130W/board

メインボード： 124枚

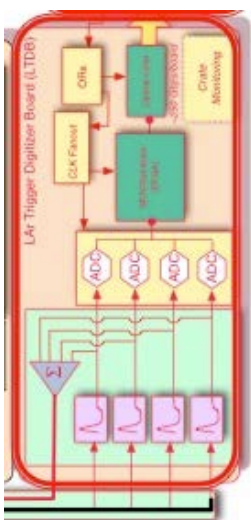
Fiber to BE: 4x12 ribbon fiber

Preliminary 3D Model of LTDB with
Analog Mezzanine



Main Contributor

BNL, Columbia, SMU,
Pittsburg, Grenoble

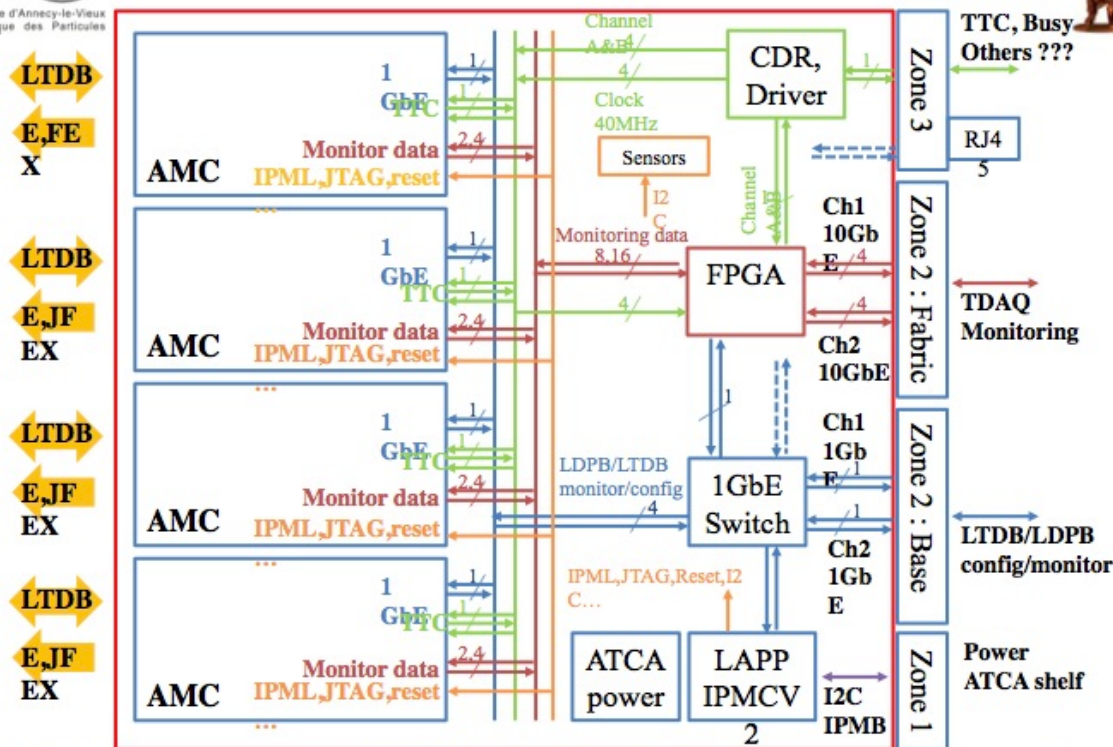


役割: FEからのデータを受け取り、Filteringの後、エネルギーに換算、Level-1トリガーに送る。

FEのコントロール 及びClockの取り扱い(GBT)。



LDPB Today Architecture



Statistics

Data flow: 24 Tbps

- 12bit ACD, 40 MHz.

AMC takes care 1 FE boards
→ AMC 124 枚(+ GBT)

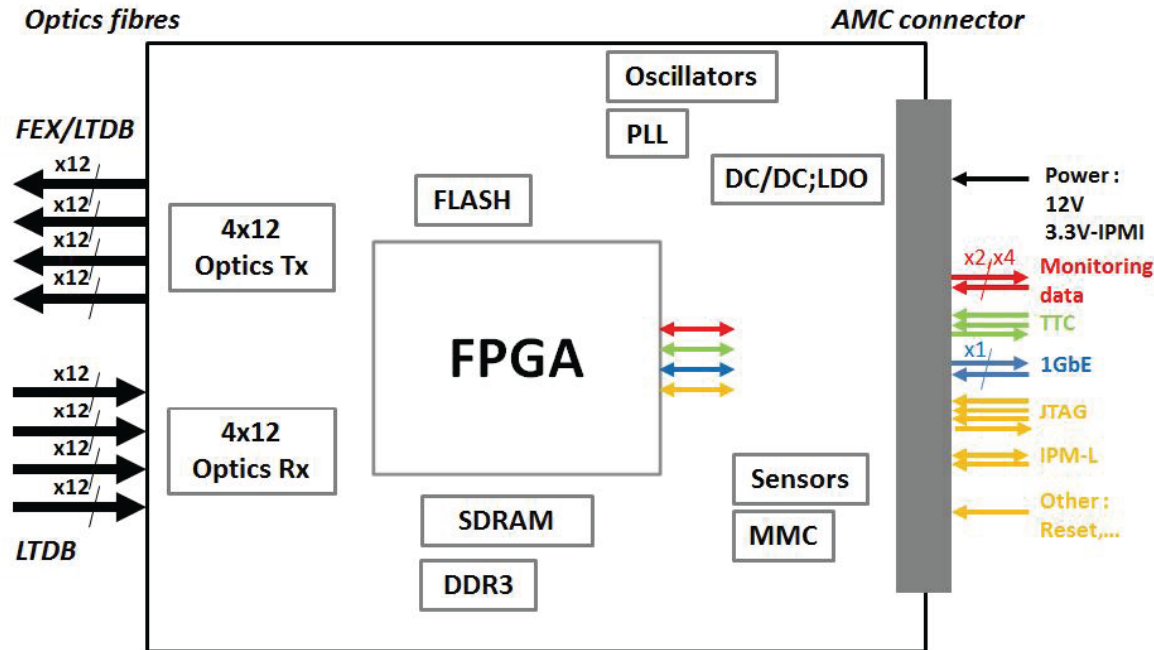
Carrier board : 4 AMCs
→ total 31枚 (+3 GBT)
→ ATCA crate : 3台分

Main contributor

BNL, Arizona, Stony Brook,
CERN, Annecy, Dresden. Tokyo

A M C (Mezzanine) がBackendパートのコア

AMC の役割



FPGAにより

- FilteringのアルゴリズムによるADCからEnergyの変換
 - BCID (どのバンチからの事象か?) の同定
→ AMC間のデータのやり取りの可能性。
- モニタリング
 - 今まで見ていなかった情報の取得。40MHzサンプリングの情報
はここだけ
- FEからのデータの受け取り、L1へのデータ転送の管理
- コントロール、ClockはCarrierボードから

L1までの時間は？ (Latency)

Table 1: Latency estimates (in units of BC) for a LTDB - LDPS system up to entry into FEX.
Elements in the table which have been calculated (not measured) are shown in *italics*

	BCs	Sub Total	Total
Time-of-flight to endcap at eta = 2	0.6		
Cable to pulse preamplifier	1.2		
Pulse preamplifier and shaper	0.4		
		2.2	2.2
<i>Digitization on LTDB</i>	<i>8</i>		
<i>Multiplexing on LTDB</i>	<i>1</i>		
<i>Serializer on LTDB</i>	<i>2</i>		
Optical cable (70 m) from LTDB to LDPS	14		
		25	27.2
Deserializer on LDPS	2		
Channel demultiplexing on LDPS	1		
Pedestal subtraction	1		
E, t, Q, N-tap FIR, BCID Calculations	5		
<i>Digital summation</i>	<i>2</i>		
<i>Multiplexing on LDPS</i>	<i>1</i>		
Serializer on LDPS	2		
Optical cable (15 m) from LDPS to e-jFEX	3		
		17	44.2

Front-End

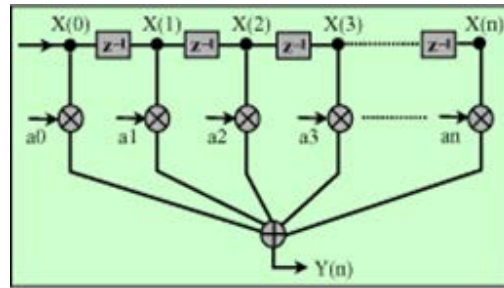
 $11 \times 25 \text{ ns} = 275 \text{ ns}$

Back-End

 $14 \times 25 \text{ ns} = 350 \text{ ns}$

転送時間を除くと FE:275ns, BE:350ns

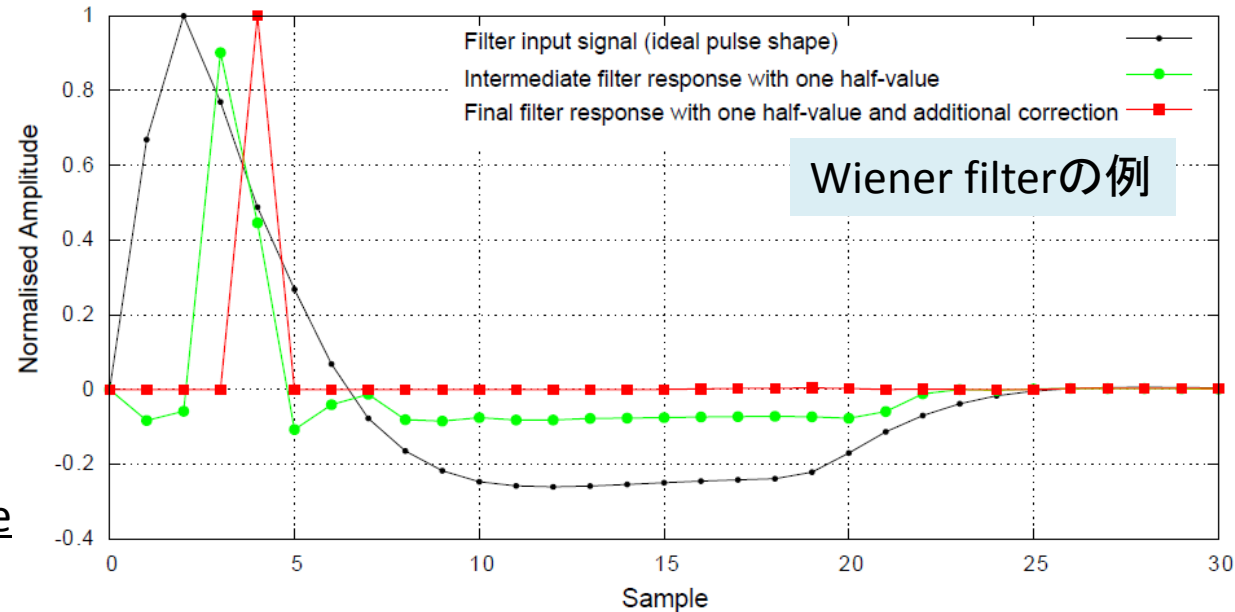
Filteringアルゴリズム



$$E = \sum_{i=1}^5 a_i \cdot (S_i + Ped_i)$$

offset
Data sample

信号の形を仮定して算出した係数



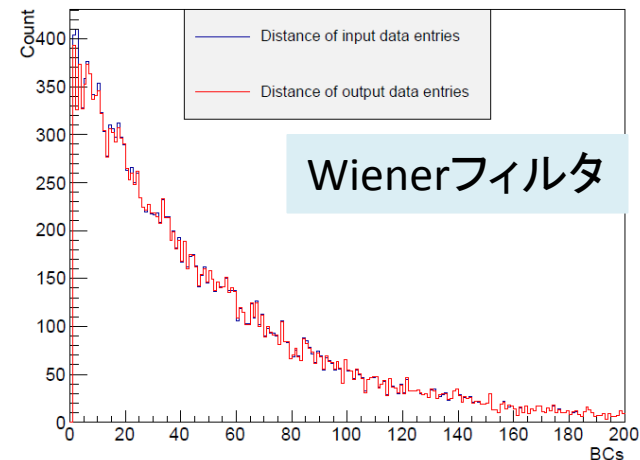
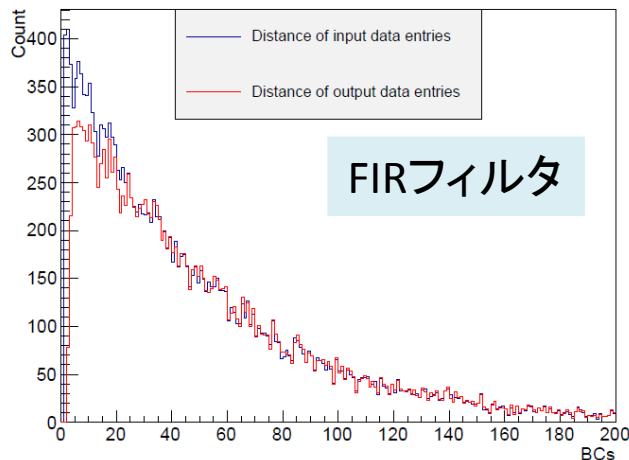
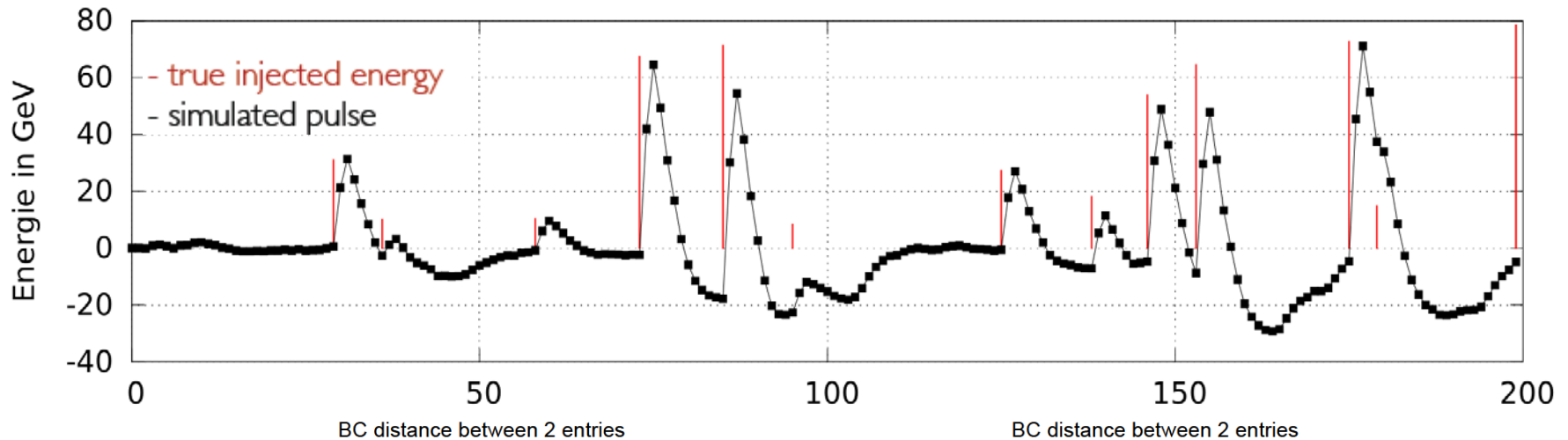
- FIRフィルタ (Finite Impulse Response)
 - 現行のFilteringアルゴリズム
→ 5サンプリングを使用
 - 最も基本的なデジタルフィルタ
 - Feedbackしないので安定性がある。

- Wienerフィルタ
 - 信号の形が変わる事を考慮に入れ、過去から未来を予測

$$E = \sum_{i=1}^5 a_i \cdot (S_i + \sum_{k,j} g_{k,j} E_k + Ped_i)$$

- 計算時間は増える(問題点)。
- 冗長性がある。

Signal processing



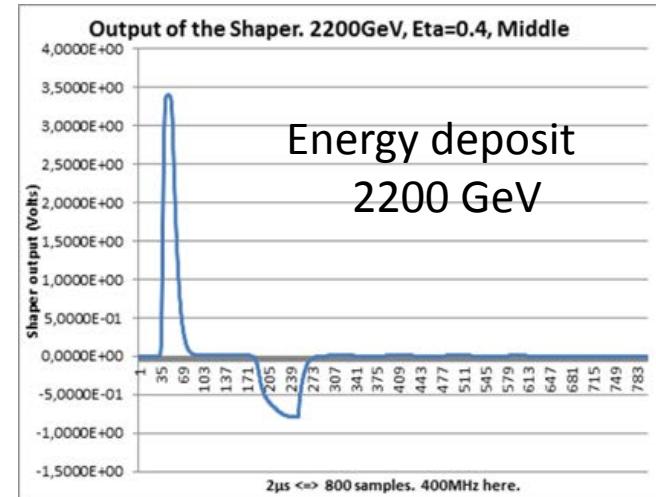
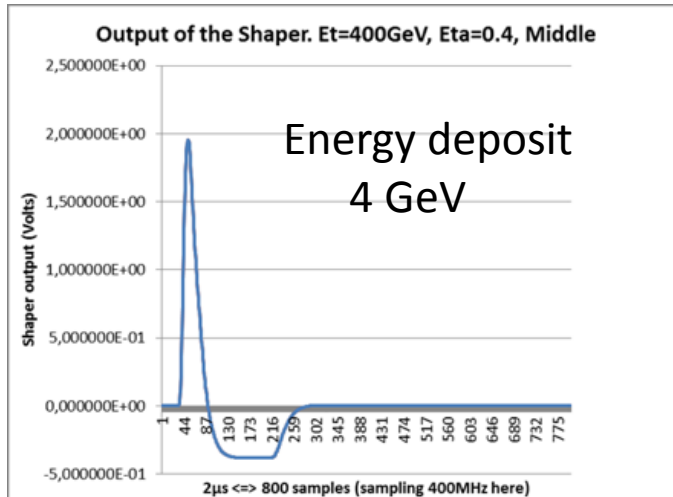
あるpulseが入ってから次のpulseが入るまでの時間 (BS=25ns)

- FIRフィルタでは対応できないがWienerフィルタではInput通りにPulseを検出できる

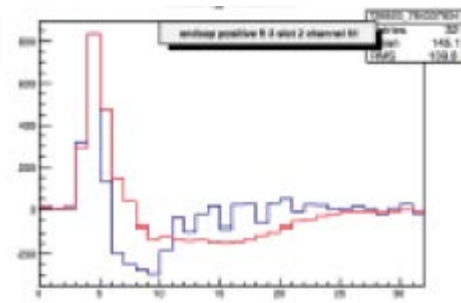
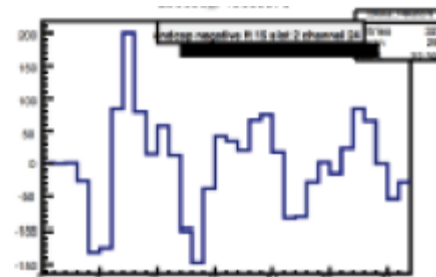
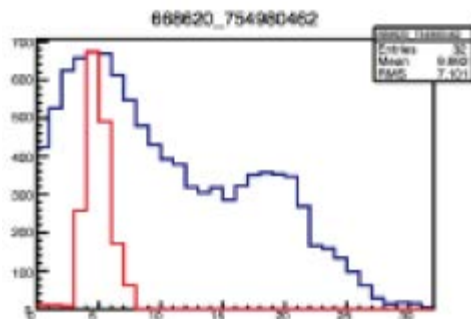
青: Input
赤: Output

Filtering: その他の懸案事項

- 大きな信号に対するレスポンス
 - 絶対に落としたいくないが、本当に取れるか？



- ノイズへの対処



- 新規参入したばかり
 - 2013 1月 LAr Phase-I upgrade Kickoff meetingでの参加表明
 - 2013 3月 LArグループ及びUpgradeプロジェクトへの参入が正式に承認された。
 - 2013 9月 TDRをL H C Cへ（予定）
 - MOUの基本的合意
 - Back-Endエレクトロニクス構築への貢献
 - F P G Aでのデジタル信号処理
 - A M Cの開発
 - Demonstrator board
 - 現Shutdown中にA T L A Sに組み込む
 - A T C Aに準拠したボード
 - A M C一つ分のfunctionality
 - R u n-IIで実際にデータをみる。
- 東大でも同じ物を作る。

Demonstrator board
(Designed by Annecy)



Demonstrator boardを柱に

Integration / Operation

すでにTriggerパートの動作検証のためにテストベンチを構築。これに関わるSoftwareの整備、データ解析を一手に担う。

→ **Demonstrator** の性能評価



2014. 3月

- 検証結果のレビュー

→ ATLASへの導入の是非



AMCの開発

- 第1歩目として

Demonstratorの製作

- 同様の機能を持ったAMCを設計。

- Annecyと連携を密にし、お互いに補完出来るように開発をすすめる。

FPGAでつかうロジック

- Filtering algorithm

- BCID

- モニタリング

Demonstratorに実装し実データにてテストを遂行できる。

まとめ

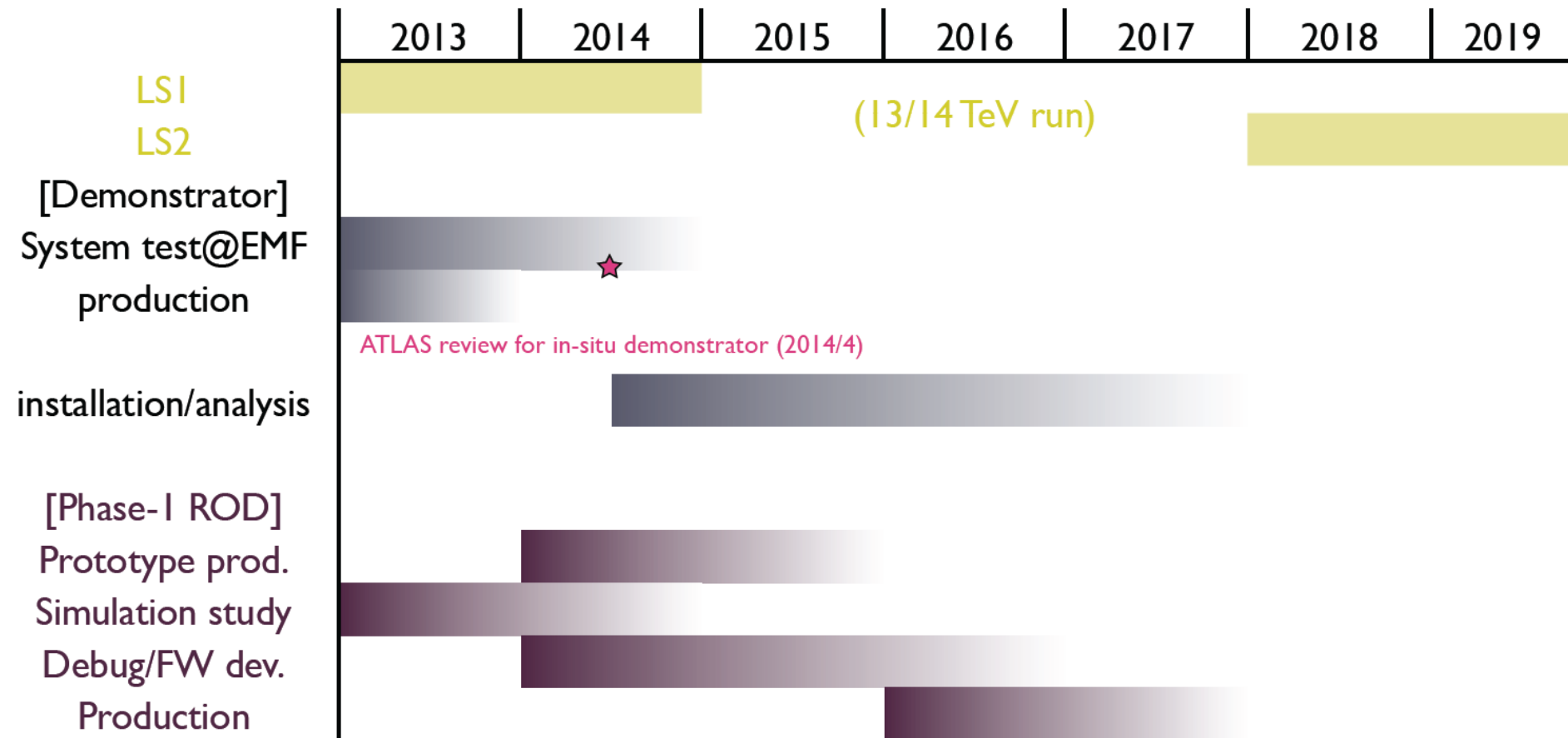
LArカロリメータのUpgradeでは

- L A r カロリーメータ本体には触らない。
- トリガーパート・エレキの更新を2018年に予定。
更新後はHigh Lumi runでも使う。
 - メインのエレキはPhase-II (High-Lumi run時)に更新予定。
- L1へ質の良い情報を渡し、L1のバックグラウンド抑制能力を向上させる。
- ATLAS-JapanはPhase-IアップグレードのBackendパートに参入。

Demonstrator boardを柱として

- Integration / Operation
- Filteringアルゴリズム・Firmware
- コアであるAMCの開発
を進めていく。

興味のある方、ぜひ一緒に！



- Phase-IIは～2022。これに向けたR&Dは2016年ごろから開始予定

B a c k u p

Fast Link development

■ Summary of tests

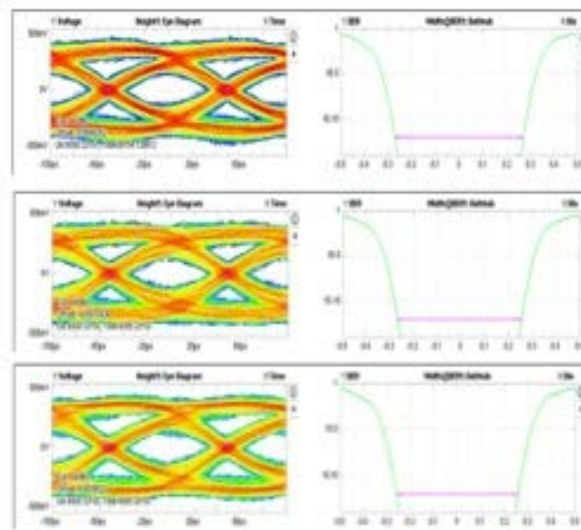
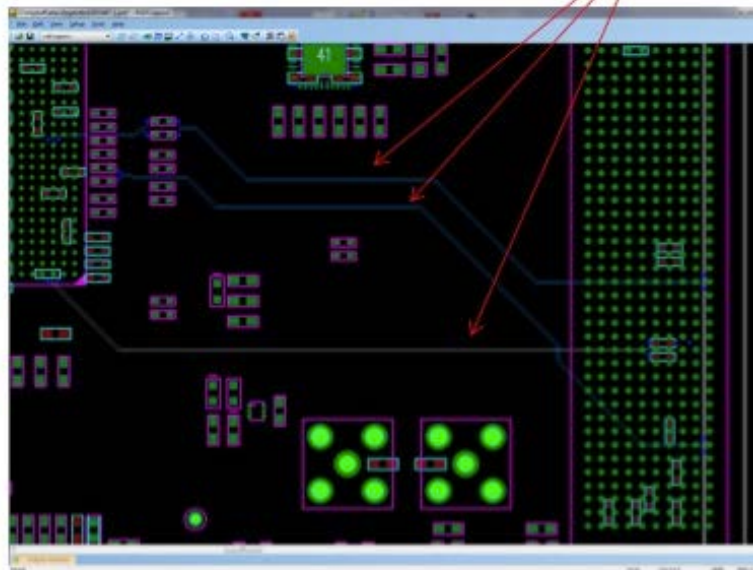
- Using KC705, VC707, BNL FPGA test board, and other hardware verified good BERT results at speeds up to 12.5Gb/s using Xilinx IBERT Tool.



Custom Cooling for uPOD

3-4-5 vias and 1-2" route

3 traces compared with
different configurations



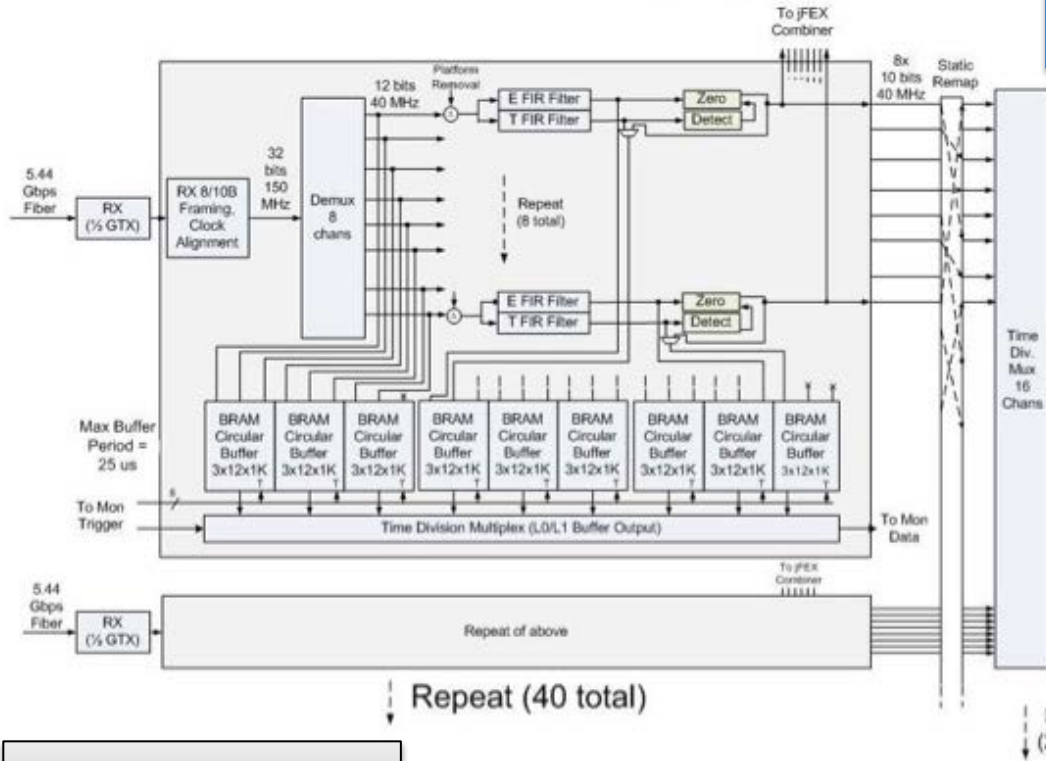
MGT116_1

MGT117_0

MGT118_3

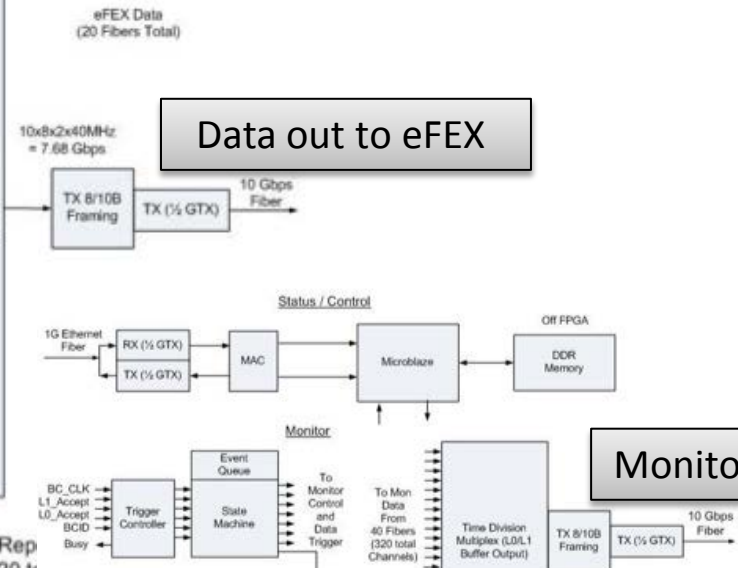
Firmwareの開発現状

AMC Firmware – FPGA Block diagram (page 1)



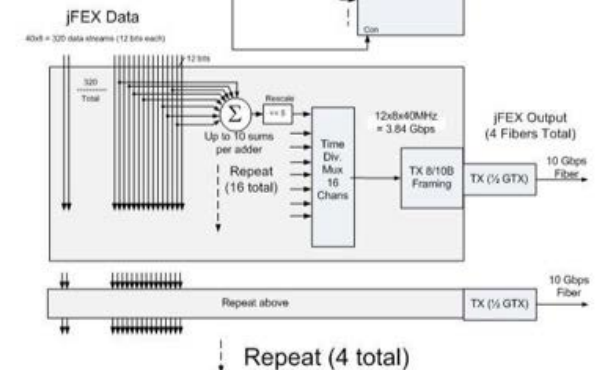
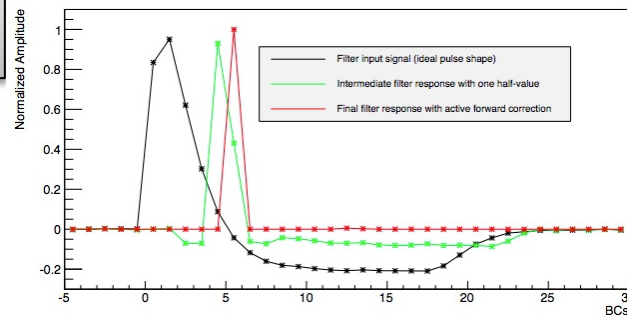
First Block diagrams appearing
Work to be organized for sharing

Data out to eFEX

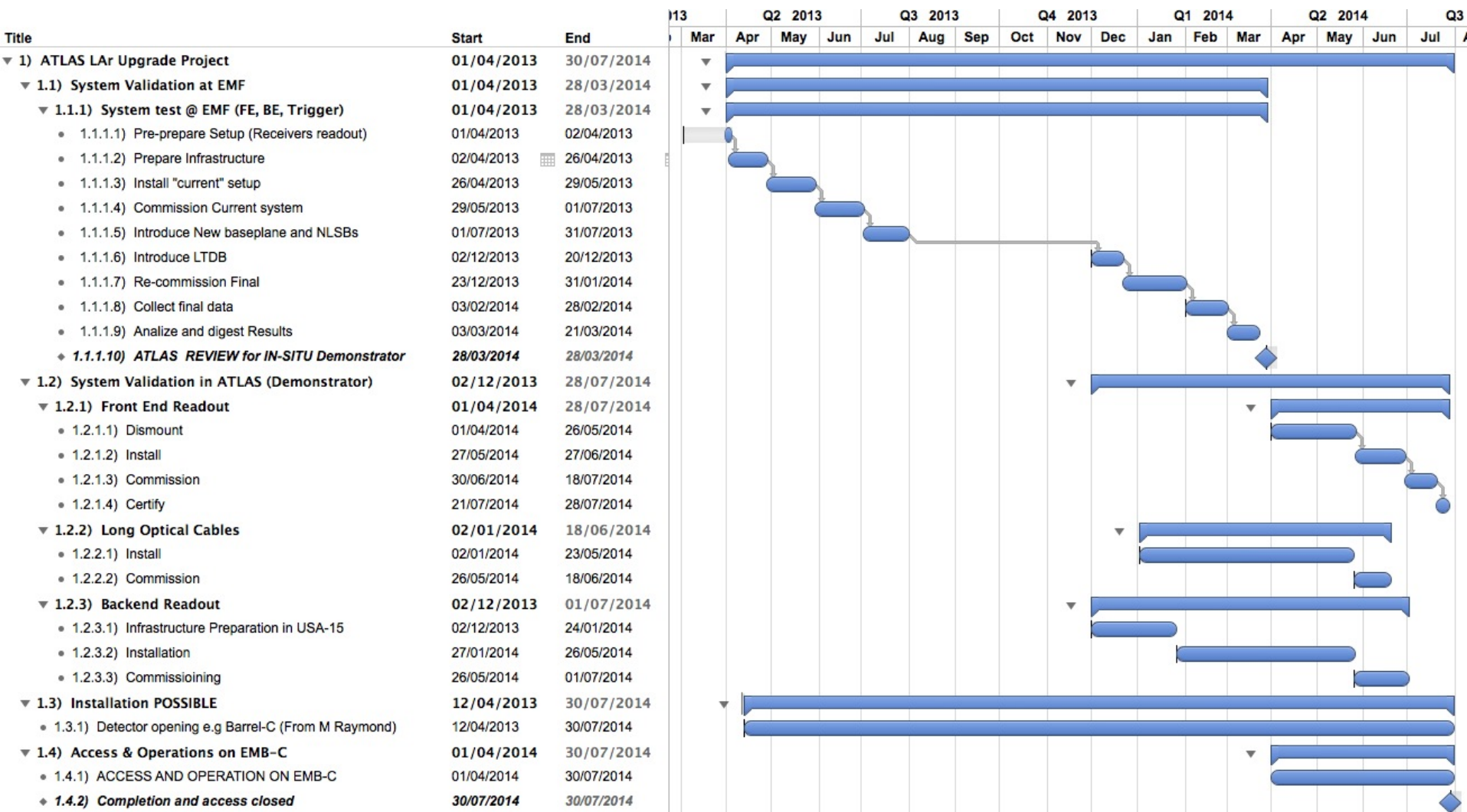


Monitoring

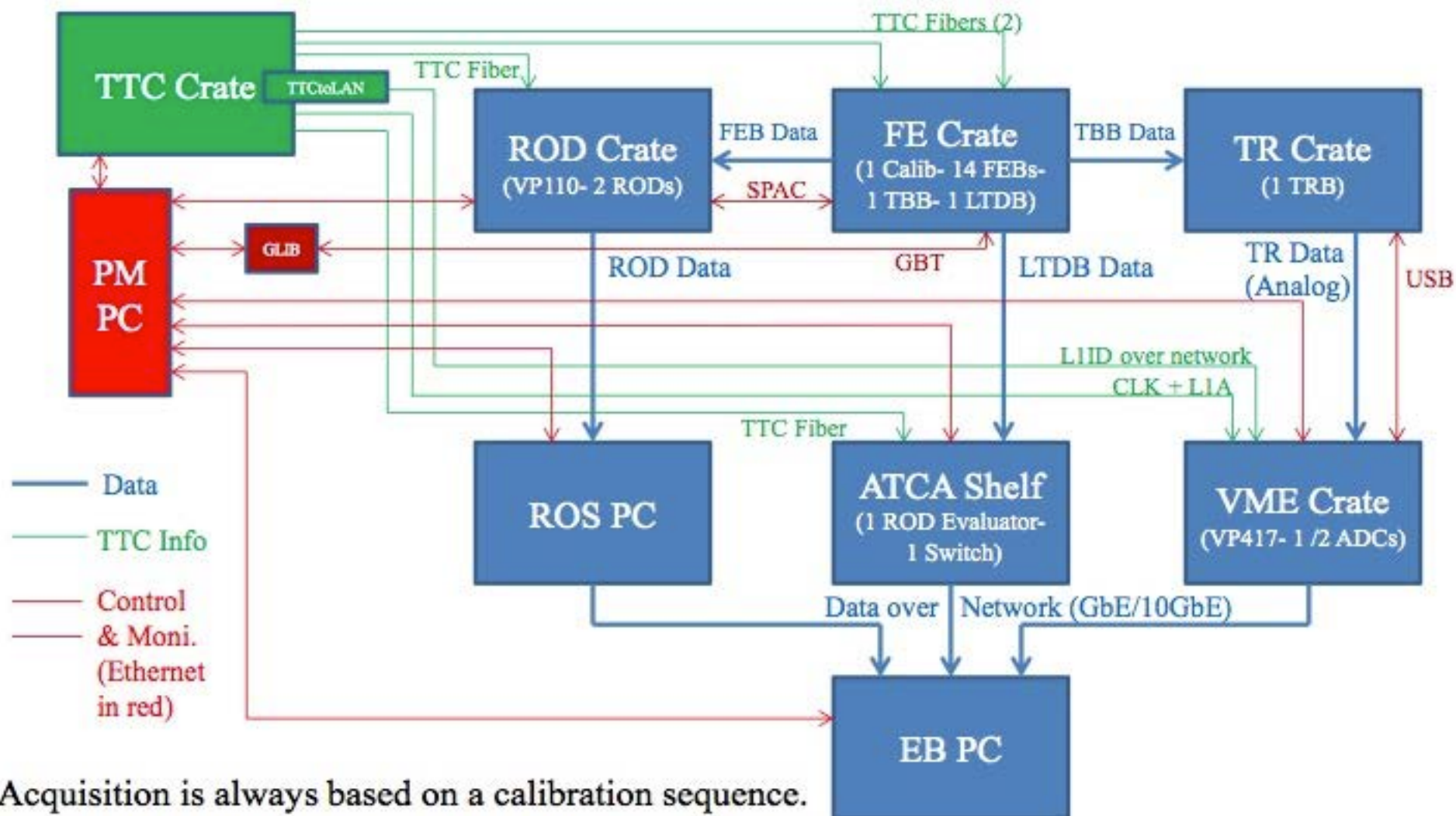
Filters :
from samples to Et



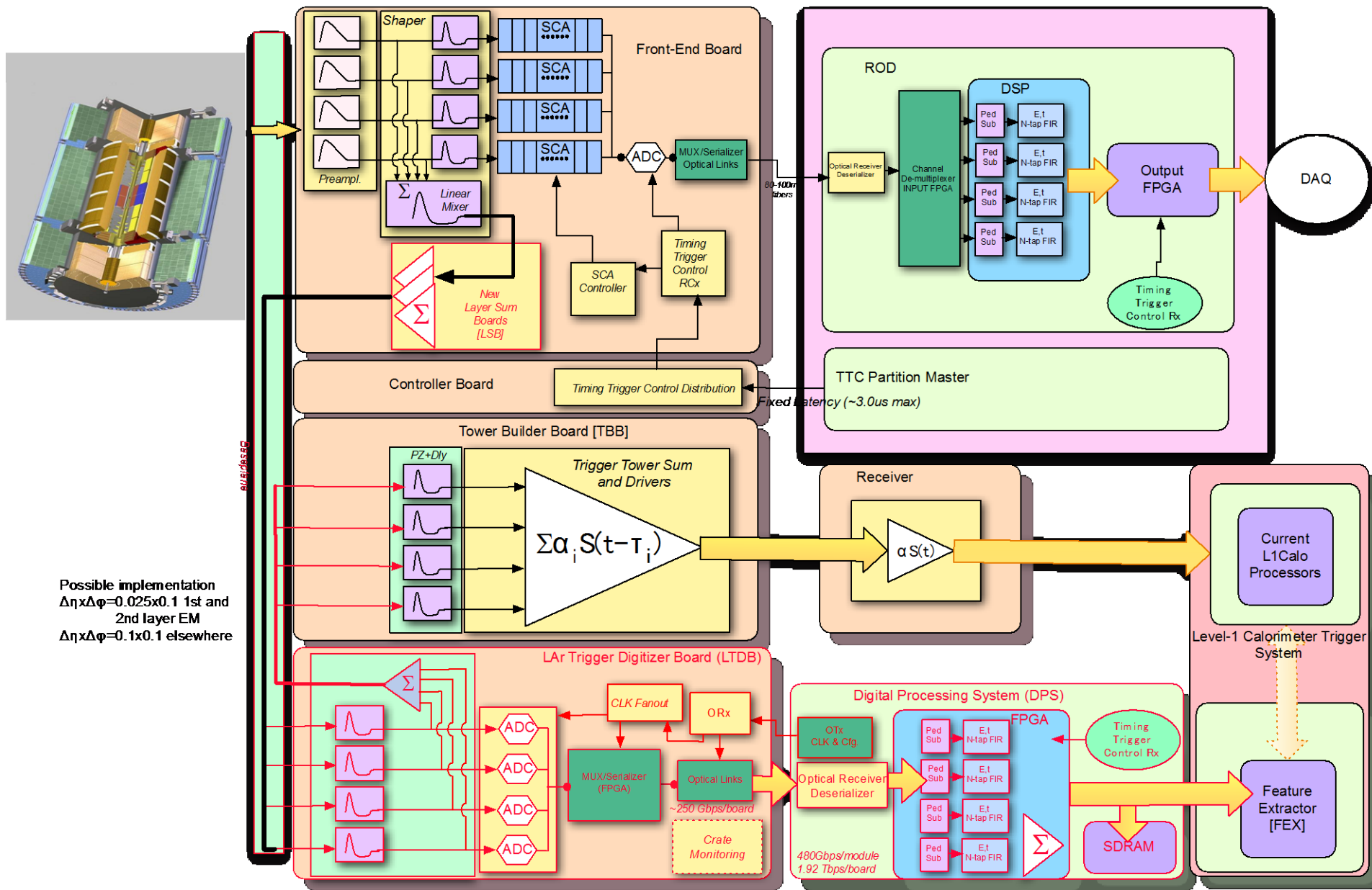
Data out to jFEX



EMF (Testbench) でのテスト構成



LAr Calorimeterの読み出し



History on ATLAS LAr Calorimeter

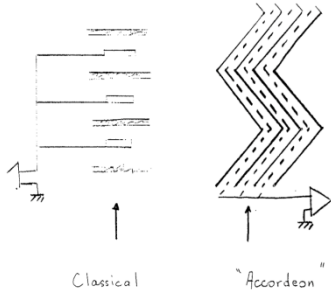
J. Fournier 11-Jan-90

An approach to high granularity, fast Liq Ar calorimetry
using an "accordion" structure

1) BASIC IDEA

In the conventional approach of liquid argon calorimetry parallel electrodes are connected in parallel (or in series in the ES transformer approach) to form a tower. Instead one considers here a scheme in which the converter plates and electrodes are at ± 45 degrees, thus making an "automatic" connection of the elements forming a tower.

In this situation the incident particle makes an angle of 45 degrees with the converter plates. To first order resolution similar to the standard case is recovered by choosing converter plates thinner by $\sqrt{2}$.



1990: First ideas on paper

1990-1992: prototype and beam test

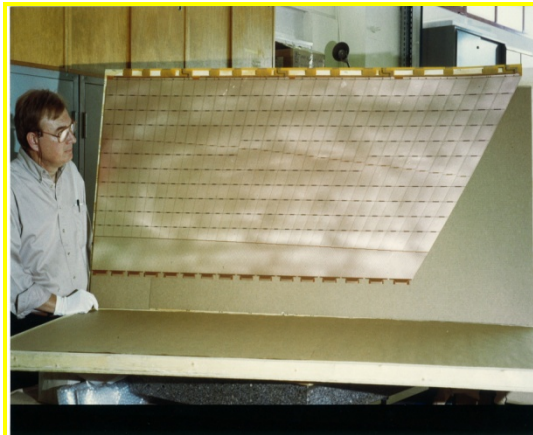
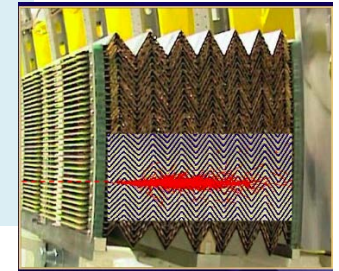
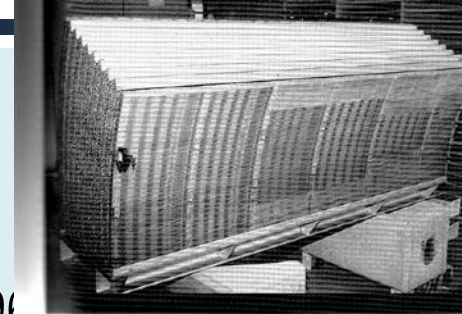
1993-1996: Optimization on Design

Technical Design Report: December 1996

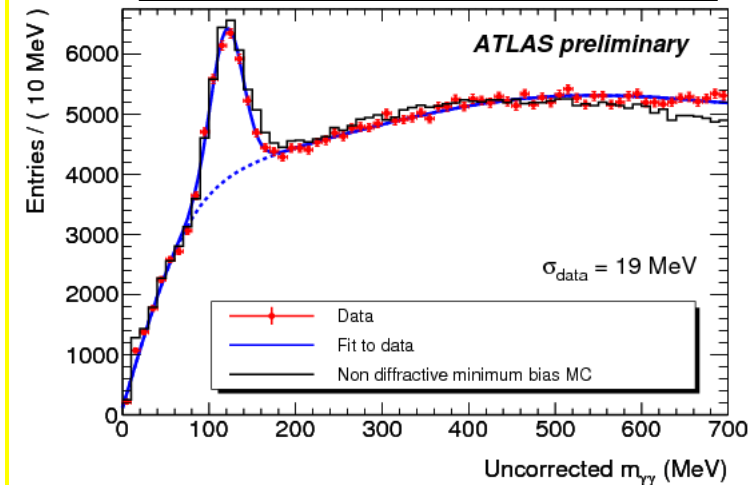
1996-2004: Construction, assembly, surface tests

2004 Oct: Installation in the ATLAS

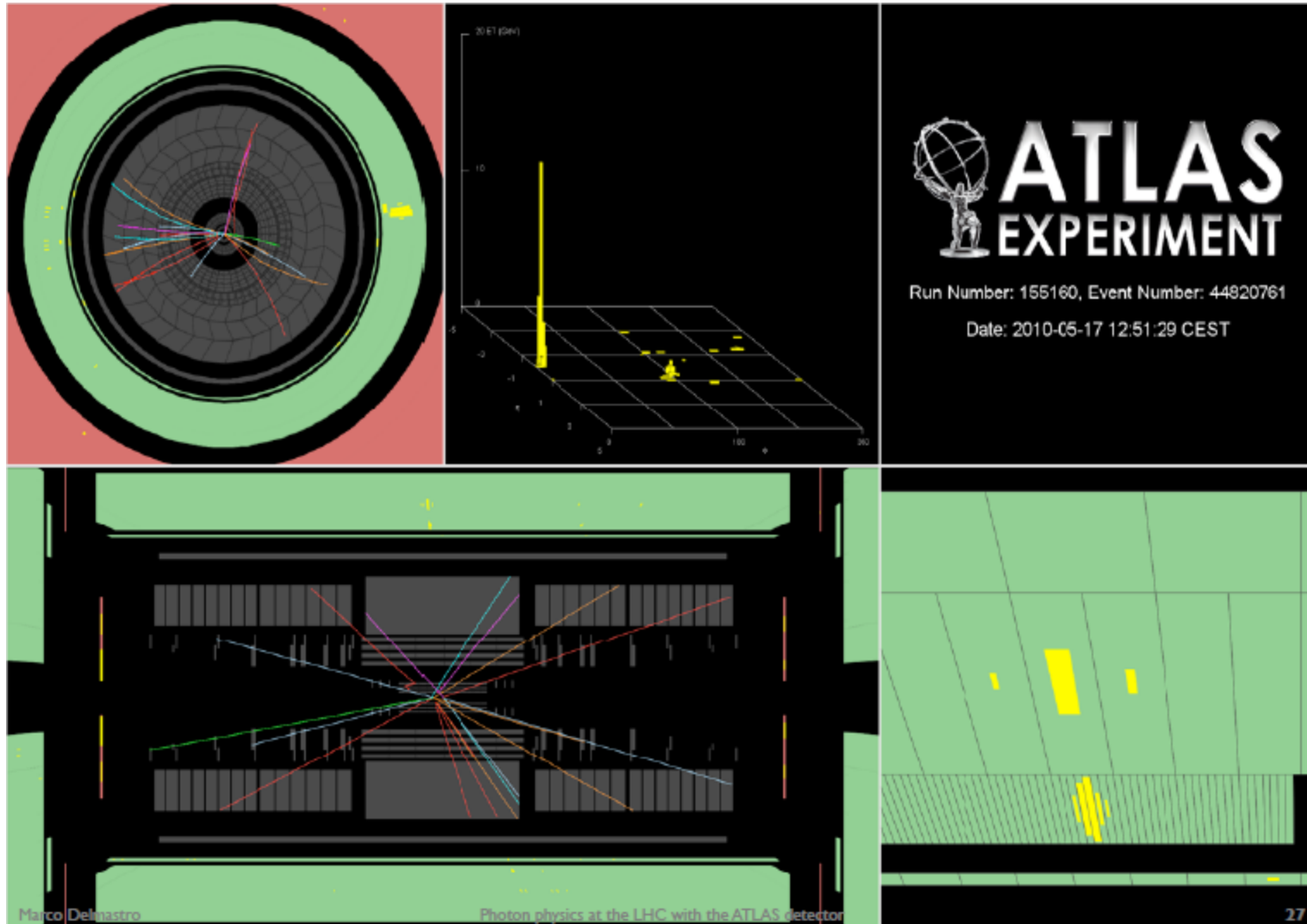
2009 Dec: First LHC data



First $\pi^0 \rightarrow \gamma\gamma$ peak Dec. 2009



Event display of photon candidate



Event display of π^0 candidate

