

# FTK システムの開発

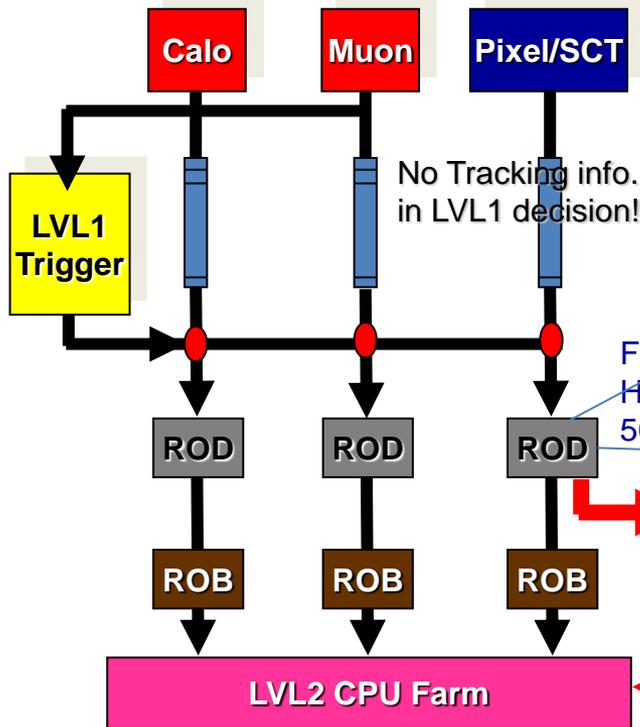
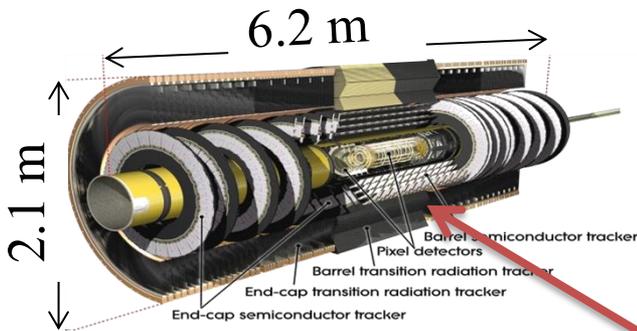
木村直樹(早稲田大学)

「先端加速器LHCが切り拓くテラケールの素粒子物理学」研究会

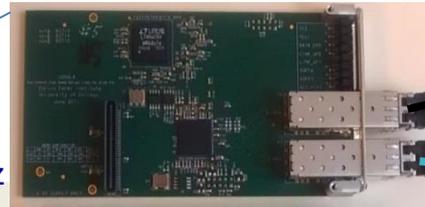
2013年5月24日

# FTK とは

LVL1トリガーを通過した全イベントの、  
1GeV以上の全トラックをSCTとpixelからの  
ヒット情報から再構成し、トラック情報  
をLVL2に送る。



シリコン飛跡検出器  
Pixel センサー 3層  
SCT ストリップセンサー 8層



通常の出カへ

FTK用の出カへ

SCT & Pixel の出カコピーを受け取り、LVL2  
に情報を提供する！

現行のトリガーシステムに干渉しない！

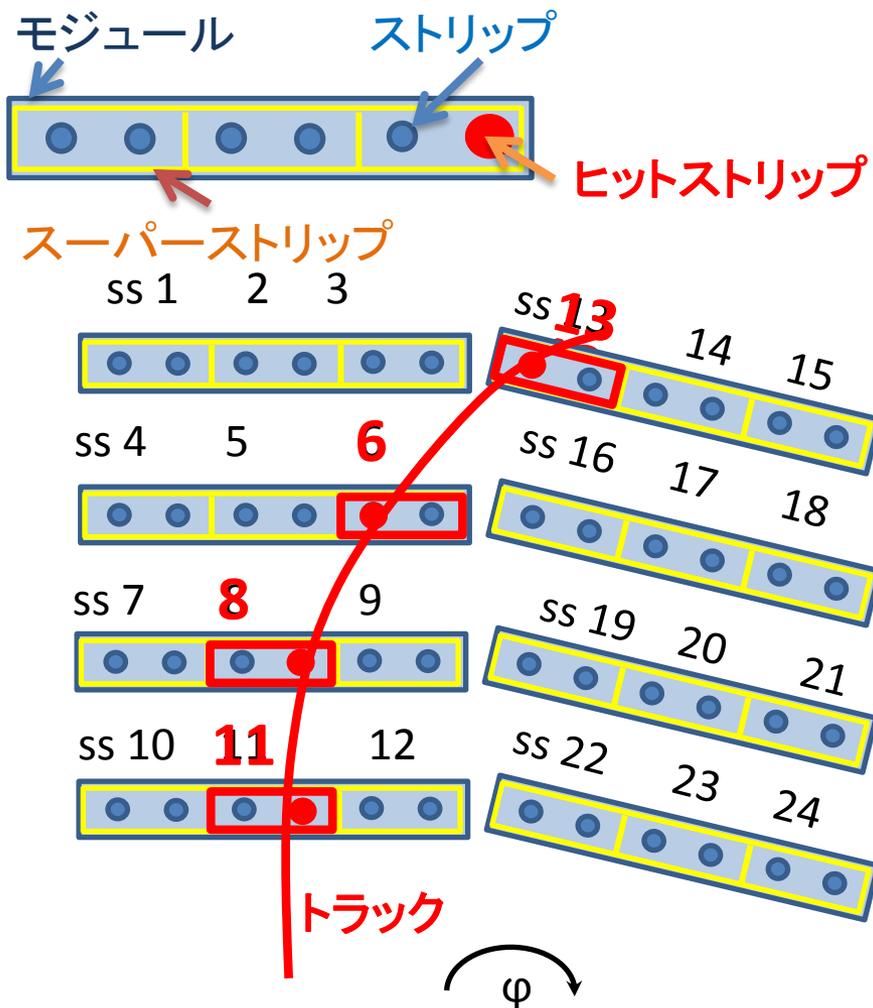
High quality track  
(All with  $P_T > 1\text{GeV}$ )

LVL2トリガーでトラック情報を使いより洗練されたアルゴリズムが実装可能に！  
→ Turn-on curveを改善！  
→ High Luminosityでも閾値をできるだけキープ！

# FTKの動作原理(1)スピードと精度!

## ～パターン認識(Hit→Road)～

いくつかのストリップやピクセルを一つにまとめたスーパーストリップ(SS)から荒いトラック(Road)を生成する。



SSサイズ小→必要パターン数大

# FTKの動作原理(2) スピードと精度！

～トラックフィット(Road→Track)～

定数項を各パターン毎にあらかじめ準備しておき、即座にトラックパラメータを計算(1track/ns)する。

真の値とのずれにより $\chi^2$ 乗も定義できるため、質を評価できる。

□ 線形近似：(トラックを直線とするわけではありません！)

定数 (大量のMCを使って求める)

$$\tilde{p}_i = \sum_{l=1}^N C_{il} x_l + q_i$$

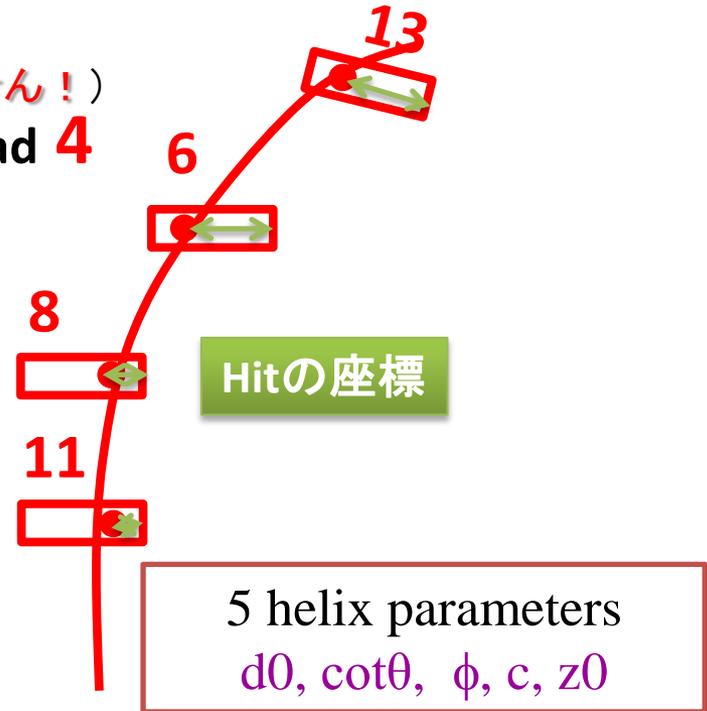
パラメータ

$\tilde{p}_i$ : 観測されるTrack Parameter (i=0~4)

$x_i$ : Hitの座標

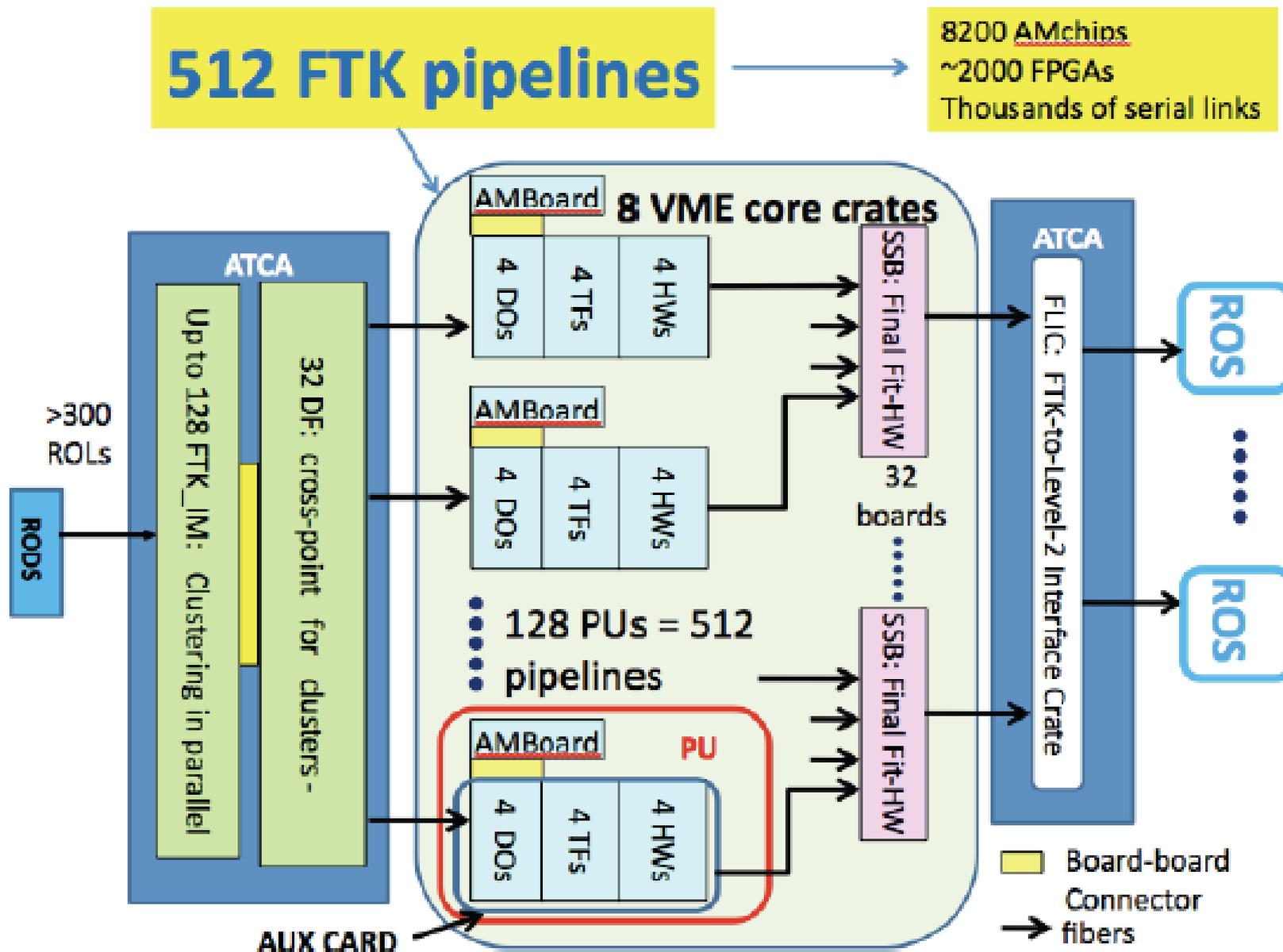
$\vec{C}_i q_i$ : 定数項

Road 4



フルレゾリューションのヒットを使用し高速にトラックング可能

# FTKシステム



# 処理速度

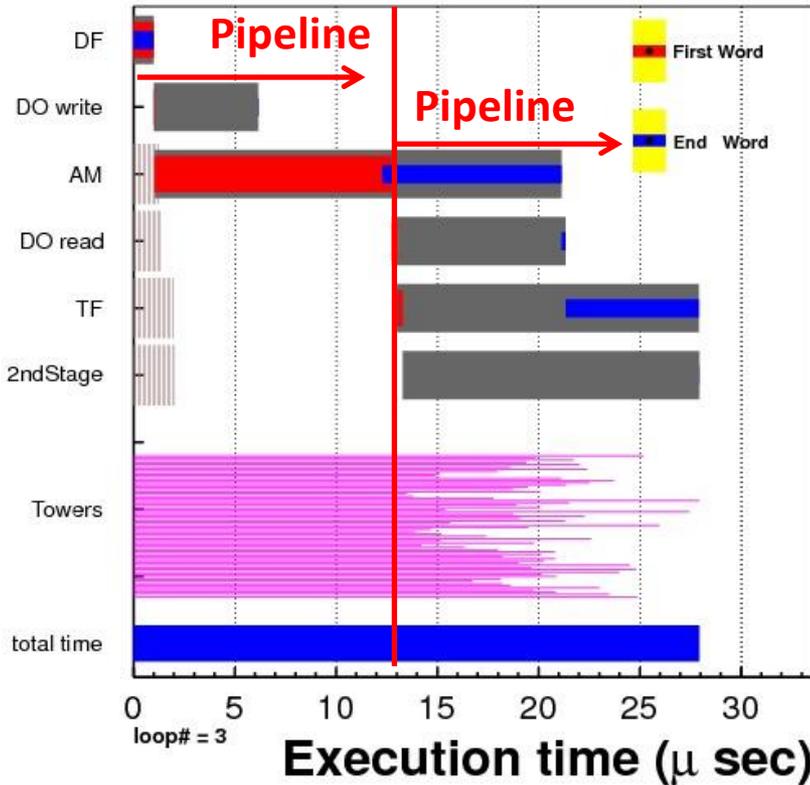
各ボードの詳細性能を用い、 $L=3 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$  (LS3前まで)のFTKの実行時間をエミュレート。

100 kHz L1 trigger (10  $\mu$  秒毎)

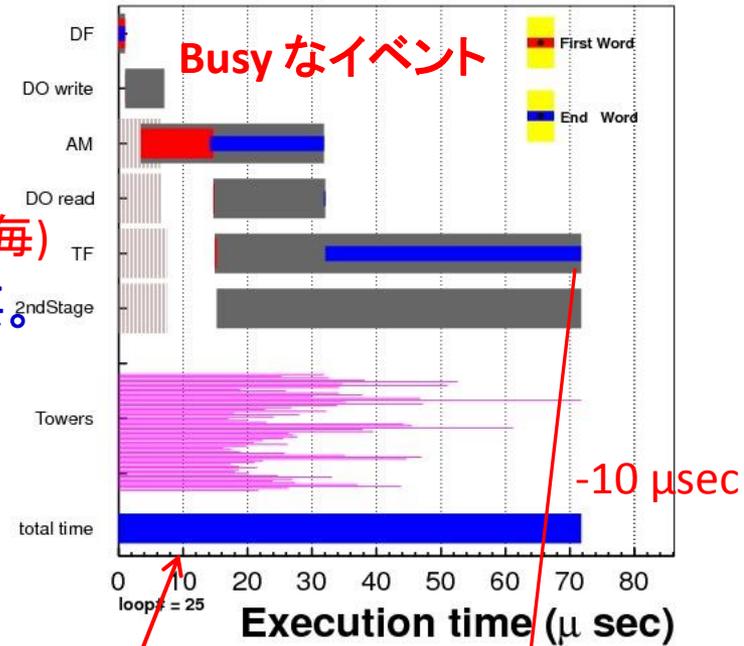
- 各ボードの平均処理時間が制限を超えないことが重要。
- ほとんど pipeline 処理。

## 標準的なイベント ( $L=3 \times 10^{34}$ )

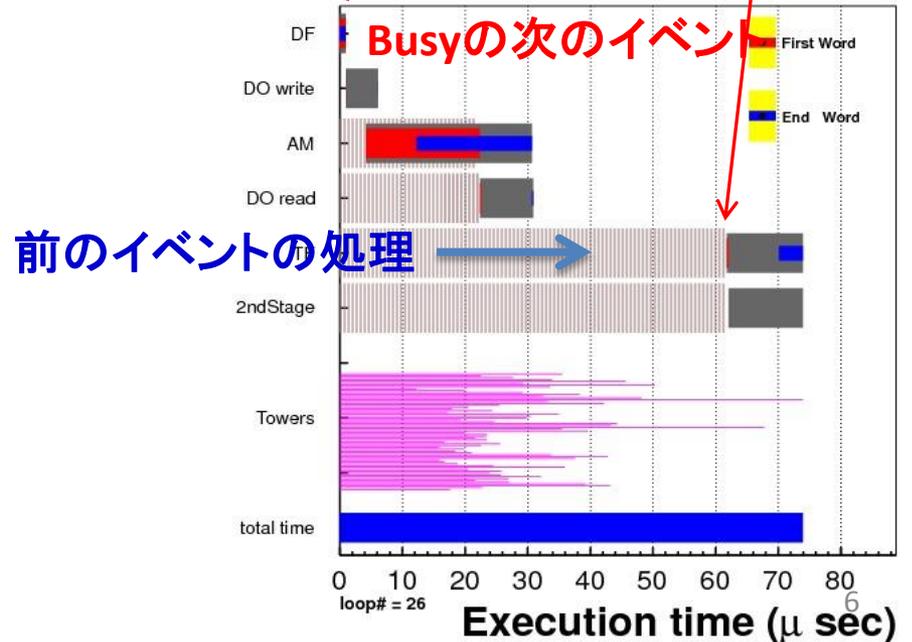
hits = 2769, roads = 13390, fits = 117140, tower = 43



hits = 3505, roads = 27500, fits = 452557, tower = 49



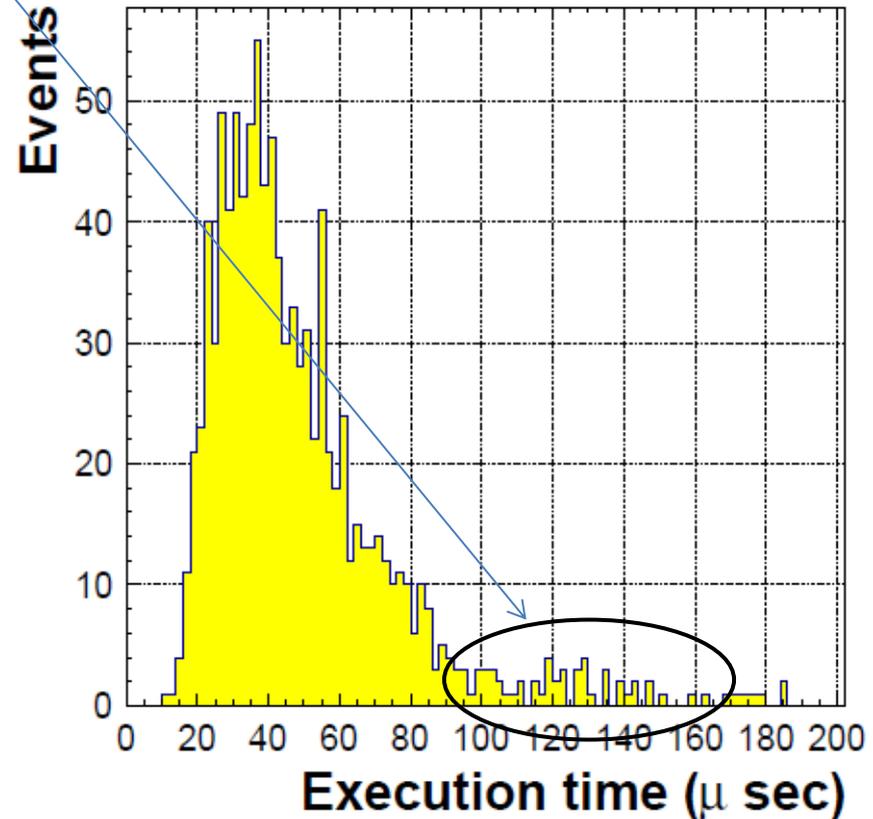
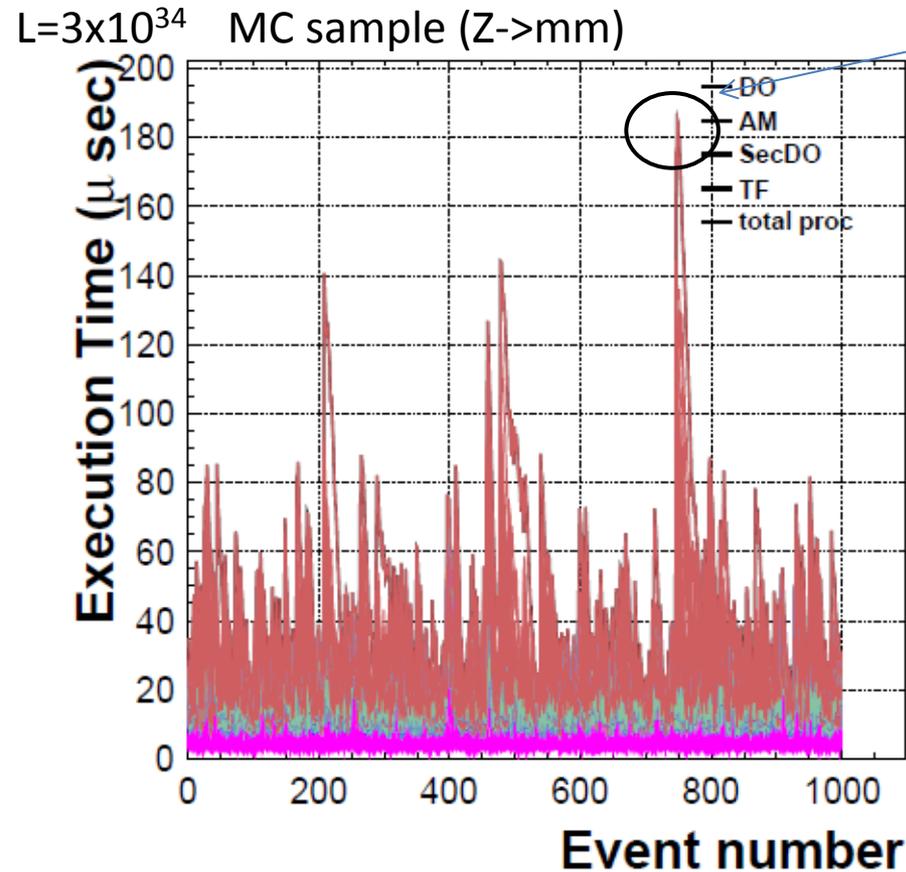
hits = 3064, roads = 13296, fits = 95115, tower = 49



# 処理速度

$L=3 \times 10^{34} \text{cm}^{-2} \text{s}^{-1}$ のトラック数でも、各ボードのスペックは十分(稼働率~60%)

重いイベントで処理時間は一時的に上がるが、すぐもとに戻る。



~40 micro sec で全飛跡を処理可能。十分 LVL2の要求を満たす。  
(2m sec)

# IM開発状況

SCT, Pixel の出力( ROLs) を受け取りクラスタリングを行いFTKフォーマットでヒットを送信。

**2013年3月に最終版初プロトタイプ5枚が完成 (早稲田担当)。**

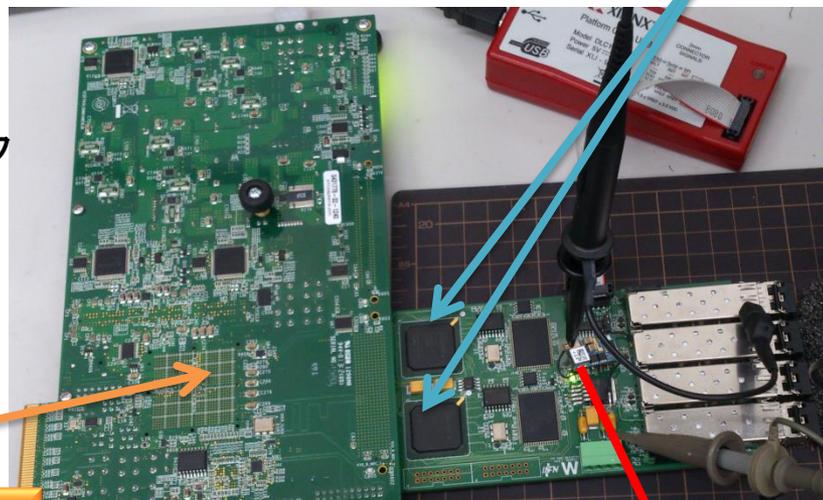
- 電源、出力コネクタの変更
- デザインを一新

## 初期テスト

- ✓ 電源投入、各部電圧の確認
- ✓ JtagにてFPGA 確認、シンプルなFWの実装
- ✓ 内部クロックにより動作
- ✓ テスト用マザーボード(KC705)からのクロックにて動作。

テスト中のIMボード

IMボード  
FPGA(Spartan6 (150T))



Waseda,  
INFN

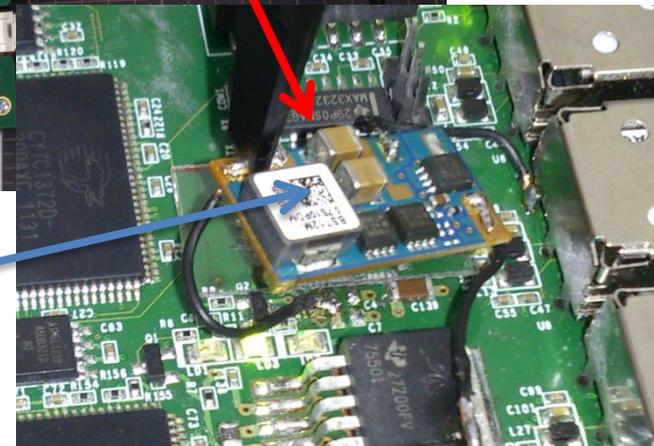
## 今後のテスト:

- SCT用クラスタリングFWの実装
- QUESTからの偽データの取得
- DFとの通信手段の決定

Xilinx KC705 Kintex7評価ボード  
テスト用マザーボード(DFの替り)  
Linux ( Microblize )

初期テストで2台のswitching converter (12V->1.2V)が故障  
(外部からのショック) → **現在新パーツにてテスト中**

**改良版プロトタイプを数か月以内に製造予定。**



# AM Chip 開発状況

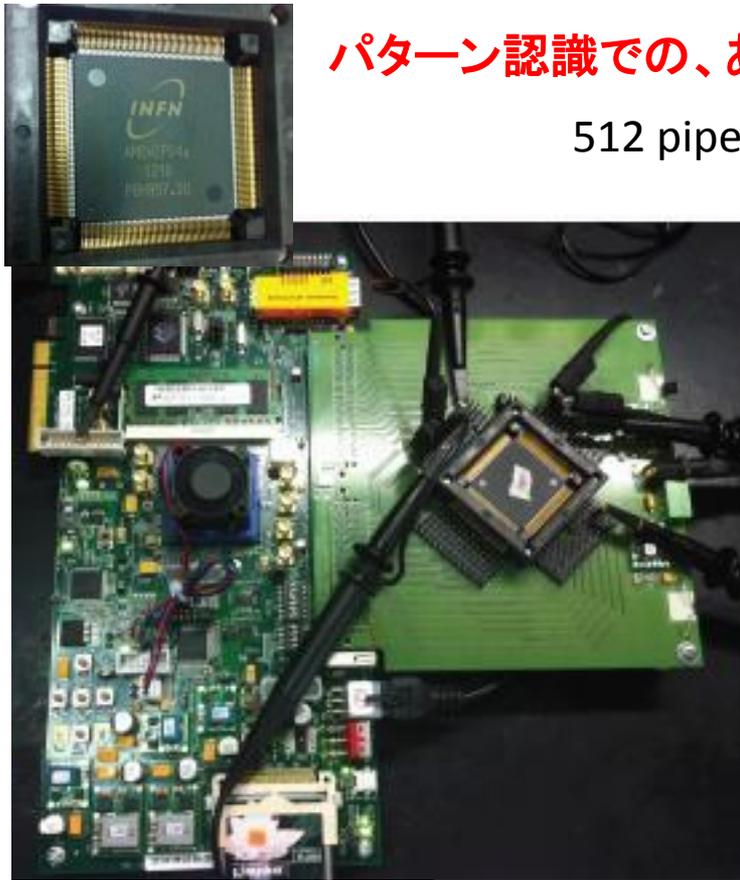
パターン認識での、あらかじめ用意したパターンがすべてここに保存される。

512 pipeline x 32 chip 以上を作成予定。

**AM04はよい性能を発揮！**

Miniasic (今後)

- High speed SERDES をstd cell に内蔵。
- 保存可能パターン数の増加。
- 消費電力を抑える。



INFN (Frascati, Milano, Pisa),  
LPNHE Paris

AM chip	Technology	Area mm <sup>2</sup>	# patt	MHz	mW/patt	# layers
o3 (CDF)	180nm	100	5k	40	0.36	6
<b>o4</b>	<b>65nm</b>	<b>14</b>	<b>8k</b>	<b>100</b>	<b>0.03</b>	<b>8</b>
<b>o6 goal</b>	65nm	~180	<b>128k</b>	100	-20%	8

Full custom block **std cell** Full custom block



AMChipがクリティカルパス。

- 2013年 AM05
- 2014年 AM06 (Final full size chip)

# FTK-to-Level2 Interface Crate

FLIC : FTKのほぼ最下流で並列処理から出てくる全トラックを集め、FTK ROSに送る。  
大量のFPGAかつATCA クレートに実装。



Argonne

**全トラックが一台のクレートに！**

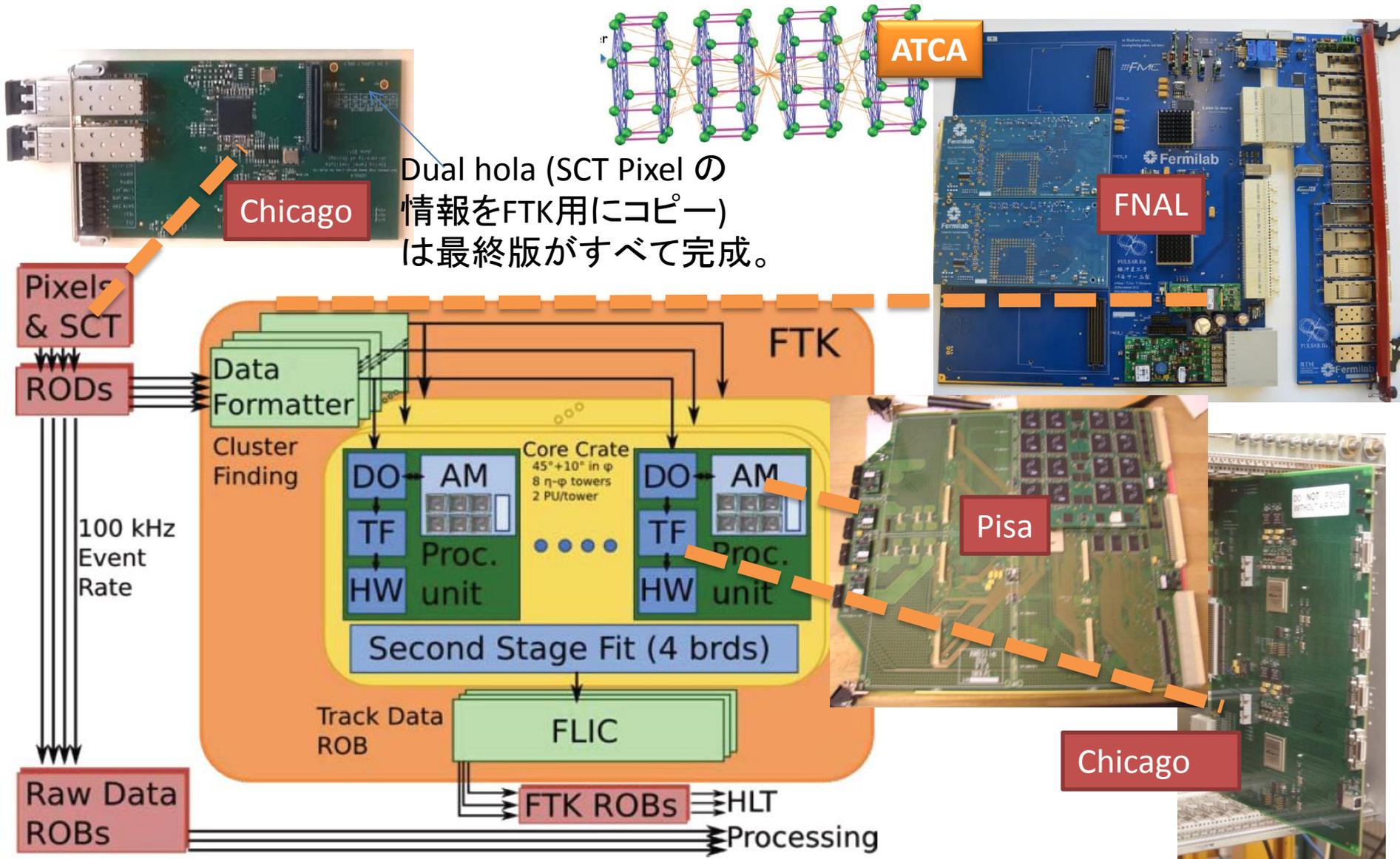
このボード自体の処理能力も高いかつATCAクレートには空きスロットがまだまだある。

今後ここでprimary vertex や、高度なb-tagなどをhardware上で処理しLVL2に提供することも可能する余地をもつ。



# FTK 開発状況

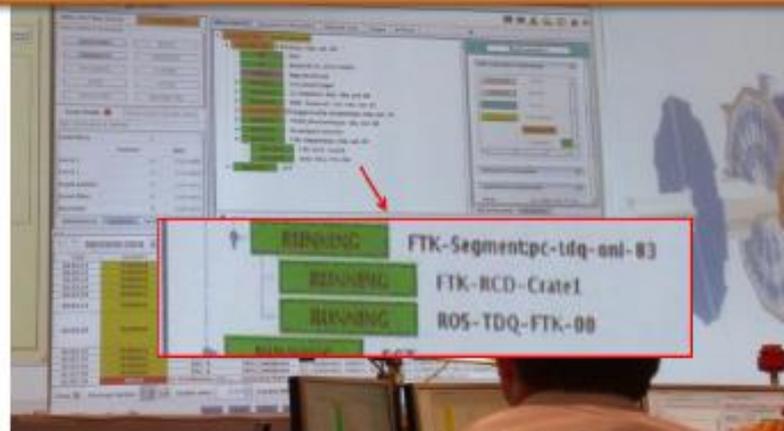
各ボードは順調に開発-テストが行われている。



# CERNでの総合テスト (VS test)

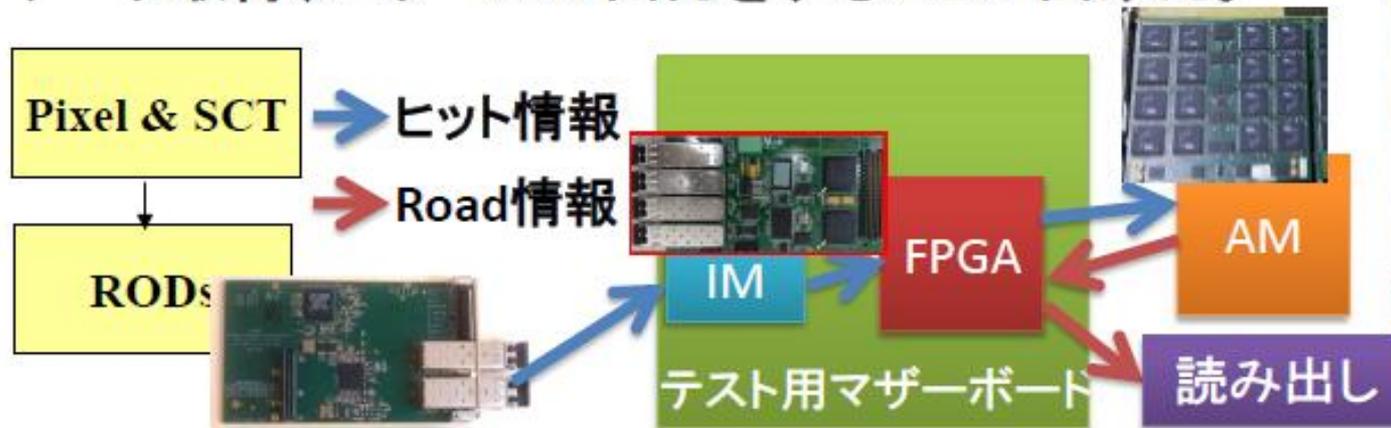
ATLASのトリガーフロー本流には干渉しないように、SCTの一部領域の実データを用いたFTKの動作テストを行う。

初めてATLAS Run にFTKが挿入されたところ



- ✓ Dual Output HOLA 挿入 (2012年2月)
- ✓ ATLAS本流に影響なくFTK VS 運転開始 (9月)
- ✓ ATLAS RunControl上で70 kHz でのL1 data に対応。(10月)
- ✓ ストップレスリムーバルに成功。(2013年2月)
- ✓ パターンの出力に成功。(2月)

様々な問題を解決しながら、実データでのFTKデータ取得、パターンの出力をすることが出来た。



今後も順次完成したボードをVSに挿入—実データでの試験を行っていく。

# インストールスケジュール

- Prototypes available in 2013
  - AMchip06 late 2014 (critical path)
- Integration mid 2014 before production
- Installation & commissioning
  - 8-16 PUs **June 2015 small coverage**
    - → test with beam before production
  - 32 PUs for full coverage up to ~50 pile up (2016)
  - expand to the full system (128 PUs) as needed by the luminosity profile and funds availability

初めからはそれほど多くの並列化は必要ない。



ルミノシティなどに応じて段階的に増強していく。

Months	7	8	9	10	11	12	1	2	3	4	5	6	7	8	9	10	11	12	1	2	3	4	5	6
Tasks	2013						2014												2015					
Dual Output HOLA													test											
FTK Input Mezzanine	w IBL			w DF/RODs									Global Int.											
Data Formatter	test			w AUX									Global Int.											
Miniasic	test																							
AMchip05	tapeout					test																		
AMchip06												tapeout					test							
AMBSLP-Mini-LAMBSLP		test																						
AMBSLP-LAMBSLP						w AM05	w AUX						Global Int.						w AM06					8-16 PUs
AUX CARD	test			w DF		w AMBSLP							Global Int.											8-16 PUs
Second Stage Board (SSB)	test			w FLIC/AUX									Global Int.											
FTK Level-2 Interface Crate (FLIC)	test			w SSB - ROS									Global Int.											

2014: Global integration and production

First half 2015: final Amchip (AM06) small production

# FTK Installation @ USA15

FTK Racks

8 ラックを確保



# FTK TDR (Performance section)

今のFTK TDRに入っているもの (ATLAS review 中):

## FTK Track Performanceとしての評価

- **Single particle resolutions, efficiencies**
- **Efficiencies and fake rates in high PU samples**
- **Muon Isolation**
- **b-tagging**
- **tau efficiencies and fake rates**
- **PV finding**

9月のTDQ TDRに入るもの: **実際のトリガーへの反映は、これからの課題。**

## Trigger Chain/Physics Case with FTKの研究

### • **FTK in Jet:**

NPV based corrections, JVF implementation

Low pT jet finding with tracks

### • **Electron & Muon slices:**

NPV corrections for isolation, Muons recover L1 inefficiencies with FS tracking for dimuon events

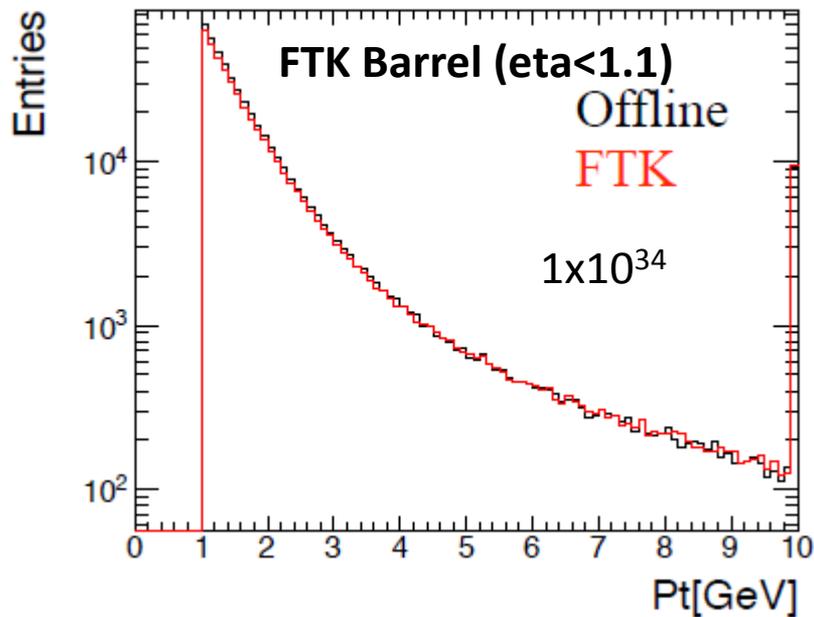
### • **Tau Slice:**

Further optimization of tau chain with FTK tracks as early rejection, Full scan tau finding for lower pT isolated taus

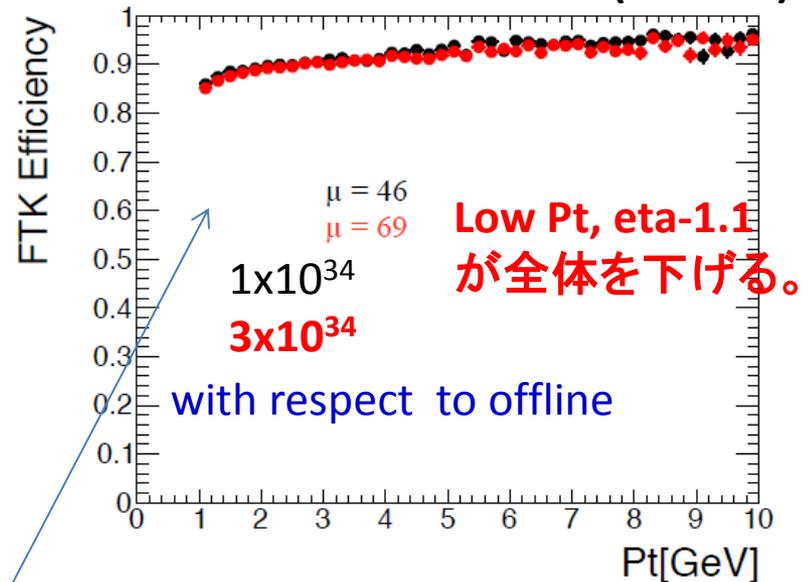
### • **MET:**

Met resolution improvement by adding tracking information

# FTKトラックパフォーマンス (効率)



FTK Barrel (eta < 1.1)



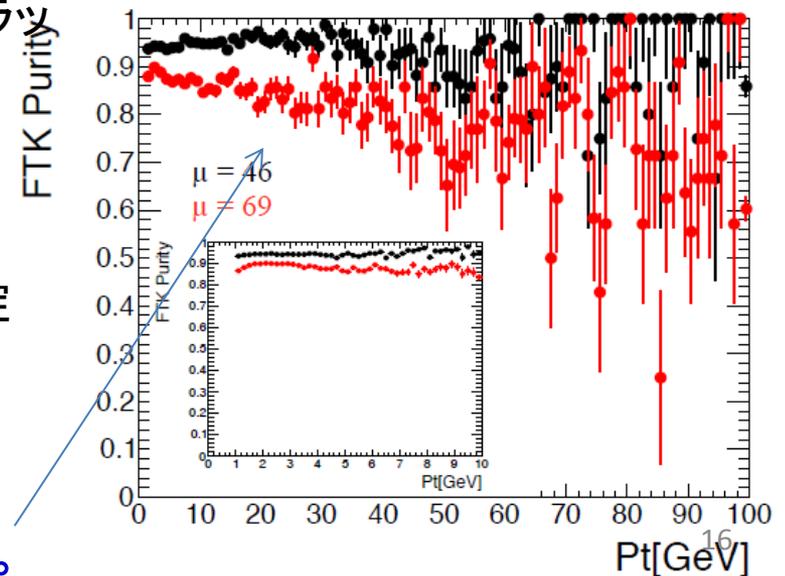
トラックフィットではフルレゾリューションのhitからトラックを再構成。

→ オフラインと近い性能を示す。

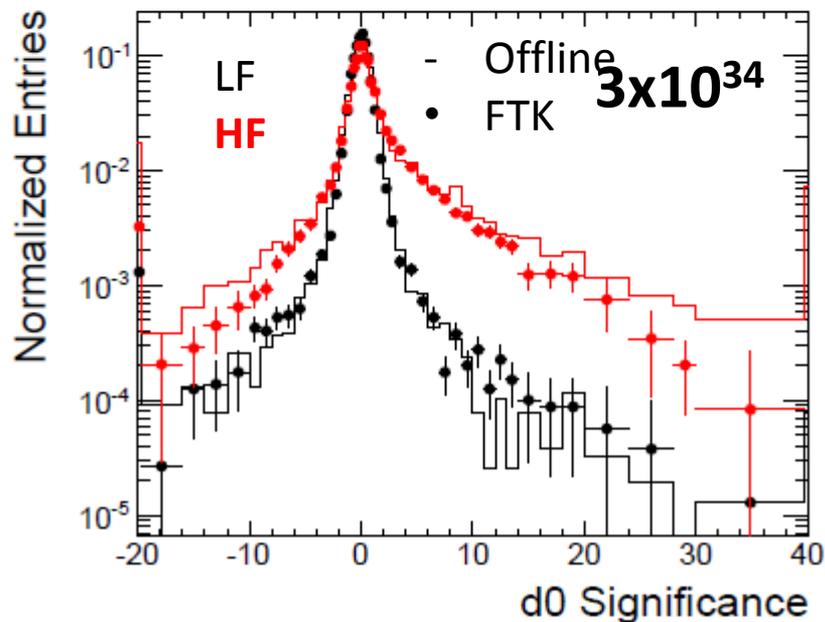
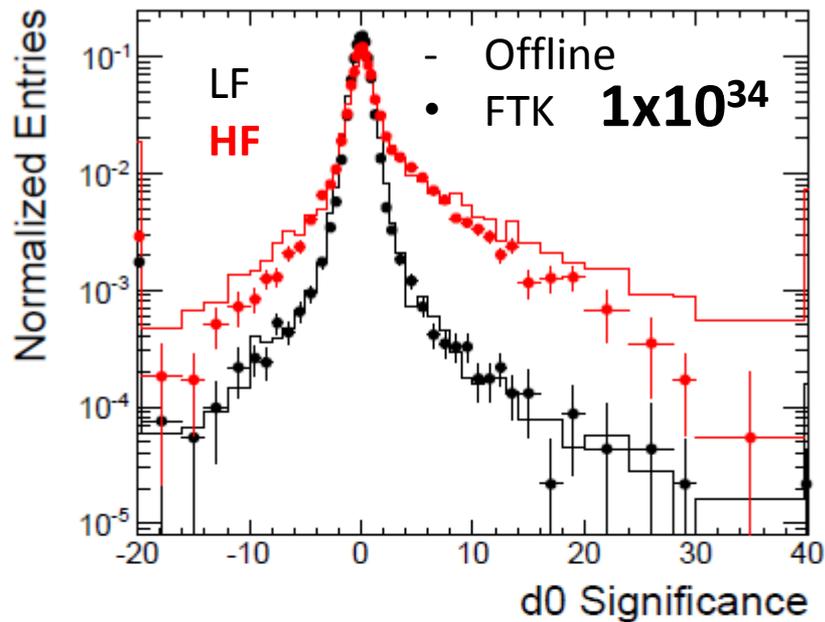
違いは生むのは:

- Hitのクラスタリング アルゴリズム
- Low Pt の大量のパターンの必要性、近似の破綻
- トラッキングアルゴリズム,
- TRTなし、 $\delta$ ray補正なし。 など

オフラインに対して90%以上  
Pile-upでの悪化は小。ピュアリティも維持。



## FTK Barrel ( $\eta < 1.1$ )



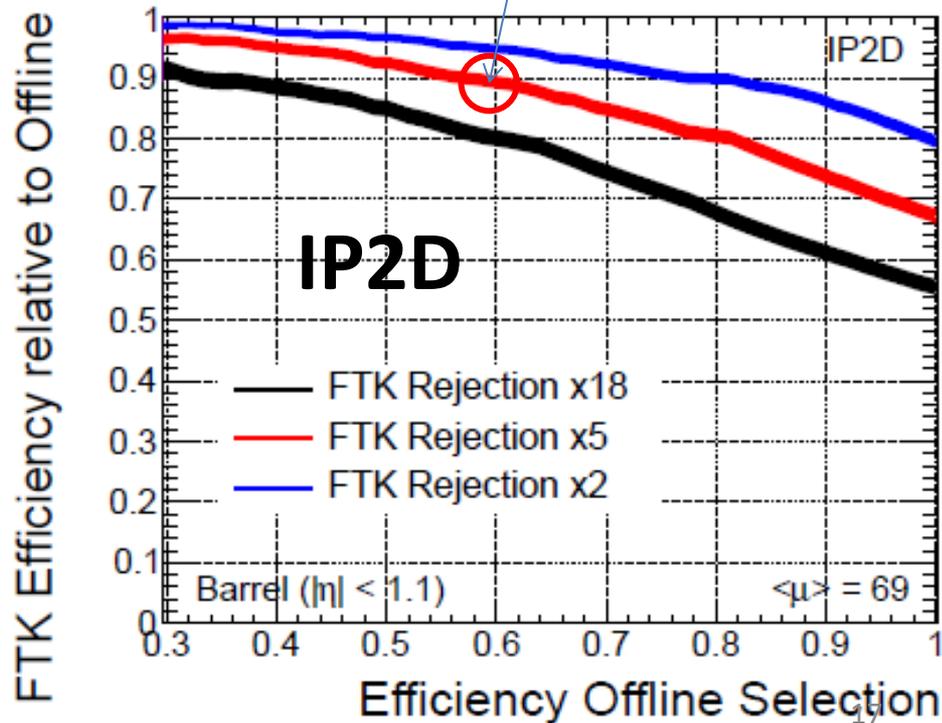
## B-tag

これは FTKの最低ライン。

- L2 でFTK d0 significance のlikelihood で b-tag
- オフラインb-tagしたとき、どの程度b-tag効率が落ちるかチェック

IP2D相当

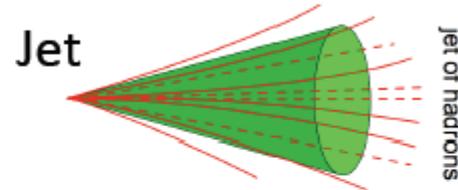
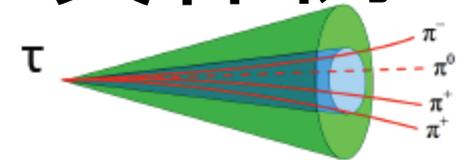
Offline 60%Eff b-tag, 90%Eff, w L2 Rejection 5



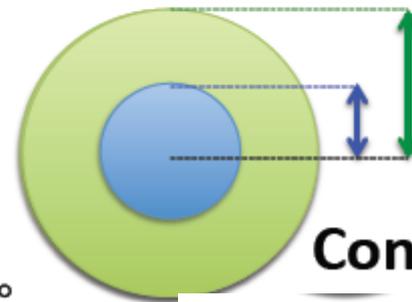
# Tau trigger での FTKの具体例

## L2 Trigger の現状と課題

- カットベーストリガー:  
エネルギー変数(2)→飛跡変数(4)の2段階で同定する。
- エネルギー分解能:  
EF/offlineに比べて悪い...Turn on curveがなまる要因。
- 飛跡再構成(TauB track):  
RoI周りでのKalman filter track fit  
...プロセス時間の制約から、Cone Sizeが $\Delta R=0.3$
- pile-up対策:  
Leading trackとの $\Delta z$ で、pile-up由来の飛跡をカット。



$\tau$ 粒子とJetの飛跡の特徴



Cone Size

Core: 0.1(L2) ↔ 0.2(EF/offline)

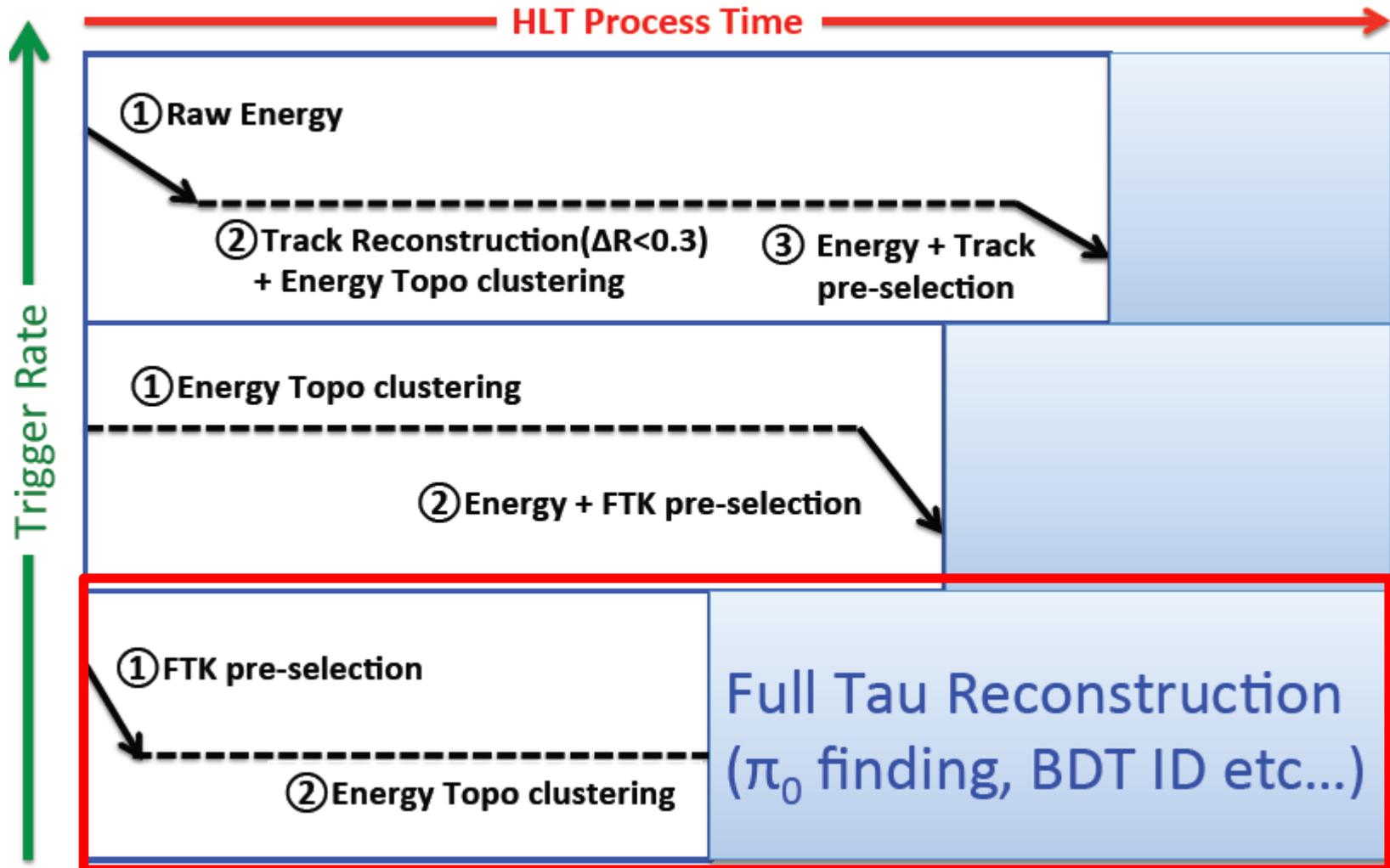
Iso: 0.3(L2) ↔ 0.4(EF/offline)

...一致していない

## FTKのできることに

- オフラインと同じコーンサイズを使用することによりJetの分離をよくし、またturn-onも改善。
- Vertex を再構成して、pile-upの影響をより抑える。
- L2の秘跡再構成時間の短縮により、HLTでより洗練されたアルゴリズムを使用(次ページ)。

# HLTロジックでのFTK (tau trigger)



早い時期にFTKでRateを落とすことにより、Topo clusteringからのエネルギー、full reconstructionからのBDTなどを使うことができる。

# FTKのご利益の纏め

◆ Pt > 1GeVの～Offline TrackがLVL2の頭から使用可能

✓ 直接的な恩恵:

- Primary Vertex, Secondary Vertexの再構成 (pile-up依存の抑制)
- Isolation Coneの拡大 (例:  $\tau$  isolation (0.3(現行trigger)→0.4(offline))

✓ 間接的な恩恵: (Trackingに利用していたCPU timeの有効利用)

\* 洗練されたHLT Algorithmの実装

→ Track variableを用いたpre-selection (TopoClusterの有効利用)

→ Trackの $\delta$ -ray補正 (electron)

→ 多変量解析-taggerの実装

\* LVL1-Roi以外のオブジェクトの追加?

\* Any Idea ?

# Summary

- FTKの開発は順調に進行中(FTK-TDRは現在レビュー中)
- 2015年のRunで一部領域挿入、その後全領域へ拡大予定(LS2)

## ◆ Toward TDAQ-TDR & Beyond:

- 2015年以降のトリガーチェーンの設計 ( $3 \times 10^{34}$ を基本設定に)
  - + Physics Case Studyを常に行いながら、、、
- FTK systemの最適化(パターン生成 etc)
- その中で早稲田がやってること、これからやること(ソフトウェア面)
  - パターンバンク生成の最適化(仲松、白神)
  - 実データでのFTKのパフォーマンスの確認(飯澤)
  - Primary Vertex の精度-効率などの向上(飯澤、仲松)
  - $\tau$  trigger chainのデザイン! (三谷、桜井)
  - bjet trigger chain(multijet, MET+bjet)のデザイン(木村、飯澤)
- ✓ HLTの新しい使い方など、まだまだ勉強すること・やるべきことが大
  - 皆様からのアイデアや助言をいただけると助かります。